

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 5 月 21 日 (21.05.2004)

PCT

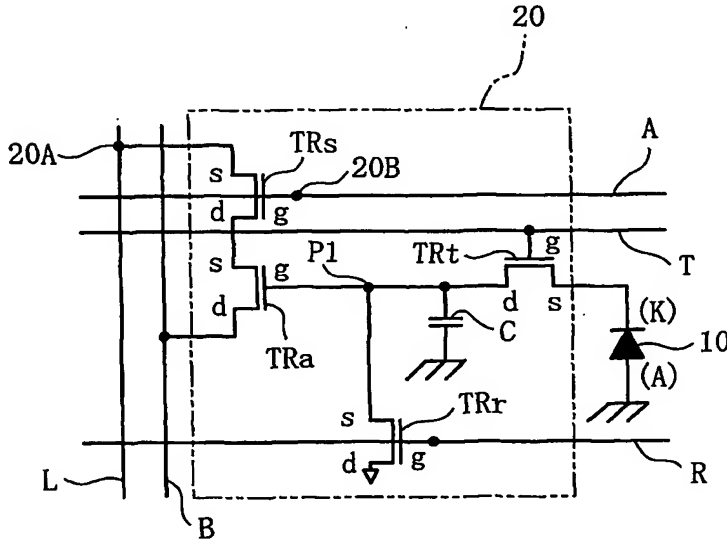
(10) 国際公開番号
WO 2004/043061 A1

- (51) 国際特許分類⁷: H04N 5/30, 5/335 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/014165 (75) 発明者/出願人 (米国についてのみ): 清水 誠
(22) 国際出願日: 2003 年 11 月 6 日 (06.11.2003) (SHIMIZU, Makoto) [JP/JP]; 〒615-8585 京都府 京都市 右京区 西院 溝崎町 2 1 番地 ローム株式会社内
(25) 国際出願の言語: 日本語 Kyoto (JP).
(26) 国際公開の言語: 日本語 (74) 代理人: 吉田 稔, 外 (YOSHIDA, Minoru et al.); 〒543-0014 大阪府 大阪市 天王寺区 玉造 元町 2 番
(30) 優先権データ: 3 2 - 1 3 0 1 Osaka (JP).
特願 2002-323695 2002 年 11 月 7 日 (07.11.2002) JP
特願 2002-323767 2002 年 11 月 7 日 (07.11.2002) JP
(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-8585 京都府 京都市 右京区 西院 溝崎町 2 1 番地 Kyoto (JP).
(81) 指定国 (国内): CN, KR, US.
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: AREA IMAGE SENSOR

(54) 発明の名称: エリアイメージセンサ



(57) Abstract: A CMOS area image sensor for creating an image of high quality by preventing or reducing at least image quality degradation attributed to an inappropriate density distribution in a captured image and image quality degradation attributed to image distortion in the captured image. Each of the pixels arrayed in a matrix on the imaging surface of a CMOS area imager sensor is composed of a photodiode (10), a selection transistor (TRs) for outputting the charge accumulated by exposure from the photodiode (10), a charge holding circuit having a capacitor (C) for temporarily holding the accumulated charge outputted from the photodiode (10) and a transfer transistor (TRt) for controlling the transfer of the accumulated charge to the capacitor (C), and a reset transistor (TRr) for releasing the residual charge in the capacitor (C). The level of the photoelectric conversion signal outputted from each pixel is inaccurate because of the

uneven transmitted light distribution on the imaging surface of the imaging optical system. Therefore, the level of the inaccurate photoelectric conversion signal is corrected by multiplying the correction factor in the vertical direction preset for each row by the correction factor in the horizontal directional preset for each column.

(57) 要約: 少なくとも撮像画像内に生じる不適切な濃度分布に基づく画質劣化と撮像画像内に生じる画像歪に基づく画質劣化を防止若しくは低減し、高画質の撮像画像を得ることのできるCMOS型エリアイメージセンサを提供する。CMOS型エリアイメージセンサの撮像面に格子状に配列された複数の画素は、フォトダイオード10と、このフォトダイオード10から露光による蓄積電荷を出力させるための選択用トランジスタTRsと、フォトダイオード10から上記蓄積電荷を一時的に保持するためのキャパシタCと上記蓄積電荷の当該キャパシタCへの転送を制御するためのトランスファトランジスタTRtとからなる電荷保持回路と、キャパシタCの残留電荷を放出するためのリセット用トランジスタTRrとで構成される。各画素から出力される光電変換信号は、行毎に予め設定された縦方向補正係数と列毎に予め設定された横方向補正係数とを乗することにより、撮像光学系の撮像面への不均一な透過光量分布に起因する各画素の不適正な光電変換信号のレベルが補正される。

BEST AVAILABLE COPY

WO 2004/043061 A1



2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

エリアイメージセンサ

5 技術分野

本願発明は、たとえばディジタルカメラなどに組み込まれたCMOS (Complementary Metal Oxide Semiconductor) 型のエリアイメージセンサに関し、特に当該エリアイメージセンサで撮像される画像の画質を向上させる技術に関する。

10

背景技術

エリアイメージセンサは、複数のフォトダイオード等からなる光電変換素子（以下、画素という。）を格子状に配列し、結像レンズによりその画素の配列面（撮像面）に結像された被写体光像を各画素により受光量に応じた大きさを有する電気信号（電圧信号）に変換し、各画素から所定の順番で出力するものである。各画素から出力される電気信号（画像の濃度に相当する信号）はディジタル信号に変換された後、出力された順番に基づいて各画素の受光位置に配列し得るようにメモリに記憶され、これにより被写体光像に相当する電気画像が得られるようになっている。

15

20

図23は、例えば特開2001-036816号公報に示される従来のCMOS型エリアイメージセンサの1つの画素の構成である。1つの画素は、受光量に応じた電荷量に変換して蓄積するフォトダイオードPD、露光開始前にこのフォトダイオードPDに残留した電荷を放出するためのFET

25

(Field Effect Transistor) からなるリセットトランジスタM1と、フォトダイオードPDに蓄積された電荷の信号線Lへの読出タイミング（露光の終了タイミング）を制御するためのFETからなるスイッチングトランジスタM3と、露光終了後にこのフォトダイオードPDに蓄積された電荷を信号線Lによって外部に出力させる際に当該電荷に基づく電圧信号（フォトダイ

オードPDのカソードの電圧信号)を増幅するためのFETからなる増幅用トランジスタM2と、で構成されている。

フォトダイオードPDのカソードは接地され、アノードはリセットトランジスタM1のソースと増幅用トランジスタM2のゲートとに接続されてい

- 5 る。また、リセットトランジスタM1のドレインと増幅用トランジスタM2のドレインはVDD電源に接続されている。増幅用トランジスタM2のソースはスイッチングトランジスタM3のドレインに接続され、更にスイッチングトランジスタM3のソースは信号線Lに接続されている。また、リセットトランジスタM1のゲートはリセット線Rに接続され、スイッチングトランジスタM3のゲートはアドレス線Aに接続されている。

- 10 格子状に配列された複数の画素の、例えば各列の右側に当該列に配置された複数の画素から電気信号(以下、受光信号という。)を出力させるための信号線Lが配設され、例えば各行の下側に当該行に配置された複数の画素へ受光信号の読出タイミングを制御する信号(読出信号)を入力するためのアドレス線Aと、残留電荷の放出タイミングを制御する信号(リセット信号)を入力するためのリセット線Rとが配設されている。撮像面の下部には各信号線Lに対応して複数のA/Dコンバータ101が設けられ、各信号線Lの下端はそれぞれ対応するA/Dコンバータ101に接続されている。各列に配置された複数の画素のスイッチングトランジスタM3のソースはそれぞれ対応する信号線Lに接続されている。

- 20 また、各アドレス線A及び各リセット線Rの一方端は、読出信号及びリセット信号の出力を制御する制御部100に接続され、各行に配置された複数の画素のスイッチングトランジスタM3のゲートはそれぞれ対応するアドレス線Aに接続され、各行に配置された複数の画素のリセットトランジスタM1のゲートはそれぞれ対応するリセット線Rに接続されている。

25 このCMOS型エリアイメージセンサによる撮像動作は以下のように行われる。

撮像面の最上行の画素列から最下行の画素列に対して行番号を1, 2, ...

nとし、各行に対応するアドレス線のアドレス番号を1, 2, … nとすると、垂直同期信号は第1行から第n行までの露光動作、すなわち、1画面分の露光動作を制御するための同期信号として利用され、水平同期信号は各行の露光動作を制御するための同期信号として利用される。垂直同期信号が入力されると、制御部100により第1行から順に各行に水平同期信号に同期して読出信号とリセット信号とが出力される。各行に配列された複数の画素は、読出信号により受光信号が信号線Lを介してA/Dコンバータ101に読み出された後、リセット信号によりリセット（残留電荷の放出）され、露光が開始され、この露光動作は、次の読出信号及びリセット信号が入力されるまで行なわれる。

従って、このCMOS型エリアイメージセンサでは、水平同期信号の周期 T_h に相当する時間差を設けて各行に配列された複数の画素の露光動作が開始され、垂直同期信号の周期 T_v に相当する時間が経過すると、その露光動作を終了して各画素から受光信号が読み出され、A/Dコンバータ101でA/D変換された後、シフトレジスタを介して外部のフレームメモリに出力される。そして、最上行の露光開始と最下行の露光開始とは略垂直同期信号の周期 T_v に相当する時間だけ時間差があるため、1フレーム分の画像を構成する全画素の受光信号は、露光開始から垂直同期信号の2周期分に相当する時間 $2T_v$ が経過した後に得られるようになっている。

ところで、従来のCMOS型エリアイメージセンサは、その構造上、撮像画像（原画像）の画質を劣化させる要因があり、CMOS型エリアイメージセンサの後段の回路でその画質劣化を補償する処理が必要となっている。

例えばエリアイメージセンサは横長長方形形状のフラットな撮像面を有しているため、以下に説明するように、結像レンズにより均一の光量の光をその撮像面に照射した場合、撮像面全体に均一に光量が入射されず、撮像画像の周辺部が中央部よりも暗くなる、すなわち、原像画像の濃度分布が被写体光像とは異なるものになるという問題を有している。

図24は、エリアイメージセンサISが設けられたデジタルカメラの撮

像光学系を示す概略図である。この図によって、レンズZの中心を通過してエリアイメージセンサISに至る光を検討すると、入射光Aは、レンズZの中心を通りエリアイメージセンサISの画像読取領域Sの中央 S_o に入射する一方、この入射光Aに対して角度 θ を有して入射する光Bは、画像読取領域Sの周縁部分 S_r に入射する。レンズZの中心から画像読取領域Sまでの光路長は、画像読取領域の周縁部に到達する光ほど長くなるので、画像読取領域Sの中央 S_o における光量を1とすれば、画像読取領域Sの周縁部分 S_r における光量は、理論上、 $\cos^4 \theta$ で求められる。このように、撮像面がフラットなエリアイメージセンサISでは、画像読取領域Sの中央 S_o における光量に比べ、画像読取領域Sの周縁部分における光量は小さくなる。この傾向は、レンズからイメージセンサまでの距離を短く設定して撮像装置をコンパクト化するほど顕著となる。

また、図25は、画像読取領域S内における光量の分布を示す図である。同図に示すように、画像読取領域Sでは、レンズの光学中心と対応する中央において光量が最大となり、周縁部分に至るほど光量が小となる。より具体的には、光量は、中心点Oから遠ざかるにつれて序々に低くなり、中心点Oからほぼ同じ距離にある環状領域内では、ほぼ同程度の光量となる。画像読取領域SにおけるX軸断面における光量分布は、図25(b)に示すように、中心点Oを最大光量とした二次曲線で表され、中心点Oから距離 L_x だけ離れたX軸上の点 P_1 においては、たとえば最大光量の $x\%$ の光量となっている。また、Y軸断面における光量分布もまた、図25(c)に示すように、中心点Oを最大光量とした二次曲線で表され、中心点Oから距離 L_y だけ離れたY軸上の点 P_2 においては、たとえば最大光量の $y\%$ の光量となっている。このようなエリアイメージセンサ上の光量分布をそのまま反映させて画像を出力すれば、その画像は、周辺部ほど暗くなることになる。

そこで、従来のエリアイメージセンサでは、上記のような光量分布を補正して、出力画像の全域にわたってほぼ均一な明るさを得ることのできる技術が種々提案されている。たとえば、エリアイメージセンサに、デジタル信

号を補正するためのDSP (digital signal processor) を内蔵させ、このDSPによって、各受光素子の出力値に、当該受光素子が位置する点における光量の最大光量に対する比の逆数値を乗算して補正を行うことが提案されている。

- 5 たとえば、図25に示した点 P_1 における光量は、最大光量の $x\%$ であるため、この点 P_1 における逆数値は、 $(100/x)$ となる。したがって、画像読取領域Sの点 P_1 上に配列された画素の出力値に上記逆数値を乗算すると、図26に示すように、最大光量とほぼ同等の補正值が得られることになる。そのため、各画素の出力値に対して各画素に応じた上記逆数値を乗算
- 10 して補正を行うことにより、出力画像がその全域においてほぼ均一な明るさとなる。

しかしながら、このDSPを用いて逆数値を乗算する方法には、全ての画素に対して上記逆数値を割り付ける必要があるため、これら多数の逆数値が記憶された補正テーブルを備えるメモリを設けなければならないといった

- 15 欠点がある。しかも、この場合、画素数が多くなればなるほど、逆数値の数は増え、メモリ容量が大となるとともに、それによるコストが増大してしまう。

- なお、メモリ容量を節約するために、図27に示すように、補正テーブルを画像読取領域Sの一つの象限内の画素に対応するものに限って作成し、これを他の象限に展開して用いることも考えられる。この方法によれば、メモリ容量を約 $1/4$ に低減することができるが、コスト的に十分低減されたとはいえない。
- 20

- また、画素からの出力を補正することなく、画像読取領域Sの全域にわたって均一な光量を得ることのできる方法として、画像読取領域Sの中央に向かうほど透光性が減じられた、いわゆるND (neutral density) フィルタをエリアイメージセンサと併用することが提案されている。すなわち、この
- 25 NDフィルタをエリアイメージセンサの前面近傍に配置させれば、NDフィルタによって画像読取領域Sの中央における光量を強制的に低下させるこ

とができるので、画像読取領域Sの全域を均一な光量にすることができる。

しかしながら、この場合、入射光をカットすることによって画像読取領域Sの内部領域の光量を周辺領域の光量に合わせ込むことになり、エリアイメージセンサ全体としての出力が低下してしまうという不都合を生じる。

- 5 また、従来のCMOS型エリアイメージセンサは、上述したように、最上行から最下行まで水平同期信号の周期 T_h に相当する時間差を設けて順に各行毎に垂直同期信号の周期 T_v に相当する時間の露光動作を行って1フレーム分の画像データを生成するようにしているので、例えば被写体光像が被写体の移動に伴って撮像面内で右方向に移動する場合、撮像面内の上部の露光タイミングにおける被写体の位置と下部の露光タイミングにおける被写体の位置とがずれ、撮像画像は、画面内で下側に行くほど、被写体像が右側に流れた画像となる。この被写体像の流れ具合は被写体の移動速度が速いほど大きくなり、被写体が高速移動をしている場合は、動画像であっても画像歪が生じることとなる。
- 10 この問題を軽減するため、例えば水平同期信号の周期 T_h を短くして各行の露光開始タイミングのずれを可及的に小さくすることも考えられるが、水平同期信号の周波数を高くすると、A/Dコンバータ101などの消費電力の増大によりエリアイメージセンサの消費電力が大きくなるという別の問題が生じる。
- 15 上記のように、従来のCMOS型エリアイメージセンサは、その構造上、少なくとも撮像画像が周縁部に行くほど暗くなる、移動体に対する撮像画像に画像歪が生じやすい、といった画質劣化を原画像に生じさせる要因を有している。
- 20 上記のように、従来のCMOS型エリアイメージセンサは、その構造上、少なくとも撮像画像が周縁部に行くほど暗くなる、移動体に対する撮像画像に画像歪が生じやすい、といった画質劣化を原画像に生じさせる要因を有している。

25 発明の開示

本願発明は、上記課題に鑑みてなされてものであり、少なくとも撮像画像内に生じる不適切な濃度分布に基づく画質劣化と撮像画像内に生じる画像歪に基づく画質劣化を防止若しくは低減し、高画質の撮像画像を得ることの

できるエリアイメージセンサを提供するものである。

- 本願発明によって提供されるエリアイメージセンサは、撮像面に格子状に配列された複数の画素を備え、撮像光学系を介して当該撮像面に結像される被写体光像の光を各画素で電気信号に光電変換して出力するエリアイメージセンサであって、各画素は、受光量に応じた電荷を蓄積することにより露光した光を電気信号に変換する光電変換素子と、露光終了後に上記光電変換素子から蓄積電荷を外部に出力させるための選択用トランジスタと、上記光電変換素子と上記選択用トランジスタとの間に設けられ、上記光電変換素子から露光により蓄積された電荷を一時的に保持するためのキャパシタと上記光電変換素子の蓄積電荷の当該キャパシタへの転送を制御するためのトランスファトランジスタとからなる1又は2以上の電荷保持回路と、上記選択用トランジスタと上記電荷保持回路との間に設けられ、露光開始前に上記キャパシタの残留電荷を放出するためのリセット用トランジスタとからなり、上記撮像面内の画像読取領域の所定点を通る横方向の座標軸上に位置する各点に対応する上記画素から出力される光電変換信号のレベルを補正するための横方向補正係数と、上記撮像面内の画像読取領域の所定点を通る縦方向の座標軸上に位置する各点に対応する上記画素から出力される光電変換信号のレベルを補正するための縦方向補正係数とを定める一方、上記画像読取領域内の各画素から出力される光電変換信号に、各画素の横方向座標に対応する横方向補正係数と縦方向座標に対応する縦方向補正係数とを乗ずることにより、各画素の光電変換信号のレベルを補正するように構成したことを特徴としている。
- また、本願発明によって提供されるエリアイメージセンサは、撮像面に格子状に配列された複数の画素を備え、撮像光学系を介して当該撮像面に結像される被写体光像の光を各画素で電気信号に光電変換して出力するエリアイメージセンサであって、各画素は、受光

量に応じた電荷を蓄積することにより露光した光を電気信号に変換する光電変換素子と、露光終了後に上記光電変換素子から蓄積電荷を外部に出力させるための選択用トランジスタと、上記光電変換素子と上記選択用トランジスタとの間に設けられ、上記光電変換素子から露光により蓄積された電荷を一時的に保持するためのキャパシタと上記光電変換素子の蓄積電荷の当該キャパシタへの転送を制御するためのトランスファトランジスタとからなる1又は2以上の電荷保持回路と、上記選択用トランジスタと上記電荷保持回路との間に設けられ、露光開始前に上記キャパシタの残留電荷を放出するためのリセット用トランジスタとからなるものである。

また、本願発明によって提供されるエリアイメージセンサは、撮像面に格子状に配列された複数の画素を備え、撮像光学系を介して当該撮像面に結像される被写体光像の光を各画素で電気信号に光電変換して出力するエリアイメージセンサであって、上記撮像面内の画像読取領域の所定点を通る横方向の座標軸上に位置する各点に対応する上記画素から出力される光電変換信号のレベルを補正するための横方向補正係数と、上記撮像面内の画像読取領域の所定点を通る縦方向の座標軸上に位置する各点に対応する上記画素から出力される光電変換信号のレベルを補正するための縦方向補正係数とを定める一方、上記画像読取領域内の各画素から出力される光電変換信号に、各画素の横方向座標に対応する横方向補正係数と縦方向座標に対応する縦方向補正係数とを乗ずることにより、各画素の光電変換信号のレベルを補正するように構成したものである。

上記エリアイメージセンサにおいて、上記電荷蓄積回路は、上記キャパシタの一方の電極が上記トランスファトランジスタの出力端に接続されるとともに、他方の電極が接地された構成をなし、上記トランスファトランジスタの入力端が上記光電変換素子側に接続され、上記キャパシタの一方の電極が上記リセット用トランジスタ側に接

続される構成にするとよい。

また、上記エリアイメージセンサにおいて、各画素は、上記光電変換素子と上記選択用トランジスタとの間に上記電荷保持回路が 2 個直列に接続されるとともに、上記光電変換素子の入力端に、露光開始
5 前に当該光電変換素子の残留電荷を放出するための第 2 のリセット用トランジスタが接続される構成にするとよい。

また、上記エリアイメージセンサにおいて、列毎に、各列に配列された複数の画素から光電変換信号を出力させるための複数の信号線が設けられるとともに、行毎に、各行に配列された複数の画素の上記
10 トランスファトランジスタ、上記リセット用トランジスタ及び上記選択用トランジスタをそれぞれオン／オフ制御するための複数の転送制御線、リセット線及びアドレス線が設けられ、全リセット線と全転送制御線とにそれぞれリセット信号と転送信号とを同時に出力して全画素同時露光を開始させた後、所定の露光時間の経過時に全
15 転送制御線に再度転送信号を出力して当該全画素同時露光を終了させ、その後垂直同期信号に同期して出力される複数の水平同期信号に同期して各行に対するアドレス線に順次、選択信号を出力して行毎に、各行に配列された複数の画素から上記全画素同時露光による光電変換信号が同時に出力される構成にするとよい。

20 また、上記エリアイメージセンサにおいて、列毎に、各列に配列された複数の画素から光電変換信号を出力させるための複数の信号線が設けられるとともに、行毎に、各行に配列された複数の画素の上記トランスファトランジスタ、上記リセット用トランジスタ及び上記
25 選択用トランジスタをそれぞれオン／オフ制御するための複数の転送制御、リセット線及びアドレス線が設けられ、垂直同期信号に同期して全リセット線と全転送制御線とにそれぞれリセット信号と転送信号とを同時に出力することにより当該垂直同期信号の周期に相当する時間の全画素同時露光が繰り返されるとともに、各露光期間

中に垂直同期信号に同期して出力される複数の水平同期信号に同期して各行に対するアドレス線に順次、選択信号を出力して行毎に、各行に配列された複数の画素から1つ前の露光期間の上記全画素同時露光による光電変換信号が同時に出力される構成にするとよい。

- 5 また、上記エリアイメージセンサにおいて、列毎に設けられ、各列に配列された複数の画素から出力されるアナログの光電変換信号のレベルを所定の基準レベルと比較してデジタル信号に変換する複数のA/D変換手段と、行単位で各行に配列された複数の画素から光電変換信号が出力されるとき、上記縦方向補正係数に関連した値に
- 10 応じて、行毎に異なる基準レベルを上記A/D変換手段に対して設定する第1の基準レベル設定手段と、上記横方向補正係数に関連した値に応じて、異なる基準レベルを上記A/D変換手段毎に設定する第2の基準レベル設定手段とを備えるとよい。

- 15 また、上記エリアイメージセンサにおいて、上記横方向設定手段は、上記基準電圧を抵抗によって分圧することにより、上記A/D変換手段毎に異なる基準レベルを設定するとよい。

- 20 また、上記エリアイメージセンサにおいて、列毎に設けられ、各列に配列された複数の画素から出力されるアナログの光電変換信号のレベルを所定の基準レベルと比較してデジタル信号に変換する複数のA/D変換手段と、行単位で各行に配列された複数の画素からアナログ信号が出力されるとき、上記縦方向補正係数に関連した値に応じて、行毎に異なる基準レベルを上記A/D変換手段に対して設定する第1の基準レベル設定手段と、上記各A/D変換手段の出力を所定のカウンタ範囲を基準としてカウントし、上記横方向補正係
- 25 数に関連した値に応じて、異なるカウンタ範囲を上記A/D変換手段毎に設定する第2の基準レベル設定手段とを備えるとよい。

また、上記エリアイメージセンサにおいて、上記画像読取領域の所定点を通る横方向の座標軸上に位置する各点に対応する横方向補正係

数を予め記憶する横方向補正係数記憶手段と、上記画像読取領域の所定点を通る縦方向の座標軸上に位置する各点に対応する縦方向補正係数を予め記憶する縦方向補正係数記憶手段と、上記画像読取領域内の各画素から出力される光電変換信号に、上記横方向補正係数記憶手段に記憶された当該画素の横方向座標に対応する横方向補正係数と、上記縦方向補正係数記憶手段に記憶された当該画素の縦方向座標に対応する縦方向補正係数とを乗算する乗算手段とを備える
5 とよい。

更に、上記横方向補正係数記憶手段は、上記横方向補正係数を間引きして記憶し、上記縦方向補正係数記憶手段は、上記縦方向補正係数を間引きして記憶するようにするとよい。
10

本願発明に係るエリアイメージセンサによれば、各画素の光電変換素子と選択用トランジスタとの間に、光電変換素子から露光により蓄積された電荷を一時的に保持するためのキャパシタと光電変換素子の蓄積電荷の当該キャパシタへの転送を制御するためのトランスファトランジスタとからなる電荷保持回路を設けているので、各画素の露光動作のタイミングとその露光動作によって得られた光電変換信号の読出タイミングと分離することが可能になり、これにより全画素を同一のタイミングで露光させた後、各画素からその露光によって得られた光電変換信号を、例えば水平同期信号に同期して行単位で順次読み出すことにより、被写体が移動体であっても画像歪のない撮像画像を得ることができる。
15
20

また、撮像面内の画像読取領域の所定点を通る横方向の座標軸上に位置する各画素から出力される光電変換信号のレベルを補正するための横方向補正係数と、撮像面内の画像読取領域の所定点を通る縦方向の座標軸上に位置する各画素から出力される光電変換信号のレベルを補正するための縦方向補正係数とをそれぞれ設定しておき、各画素から出力される光電変換信号に各画素に対応する横方向補正
25

係数と縦方向補正係数とを乗ずることにより、各画素の光電変換信号のレベルを補正するようにしているので、光電変換信号のレベルを補正するための補正係数を記憶するメモリの容量を著しく削減することができる。

5

図面の簡単な説明

図 1 は、本願発明に係るエリアイメージセンサの第 1 実施形態を示す構成図である。

図 2 は、フォトダイオードおよびスイッチング回路の回路図である。

10 図 3 は、A/D コンバータのブロック図である。

図 4 は、基準電圧信号および画素信号のタイミングチャートである。

図 5 は、分圧回路の一例を示す回路図である。

図 6 は、アドレス線の構成の一例を示す図である。

図 7 は、画像読取領域の X 軸上及び Y 軸上での受光量の関係を示す図であ

15 る。

図 8 は、基準電圧信号及び画素信号のタイミングチャートである。

図 9 は、基準電圧信号及び画素信号のタイミングチャートである。

図 10 は、基準電圧信号と画素信号との関係を示す図である。

図 11 は、横方向及び縦方向に配列されたフォトダイオードにおける受光
20 量の最大受光量に対する比を示す図である。

図 12 は、分圧回路の一例を示す回路図である。

図 13 は、A/D コンバータのカウント範囲の一例を示す図である。

図 14 は、従来の DSP のブロック構成を示す図である。

図 15 は、本願発明に係るエリアイメージセンサに DSP を適用した場合
25 の DSP のブロック構成を示す図である。

図 16 は、本願発明に係るエリアイメージセンサに DSP を適用した場合
の DSP の他のブロック構成を示す図である。

図 17 は、本願発明に係るエリアイメージセンサの第 2 実施形態の 1 画素

分の構成を示す回路図である。

図 18 は、従来と同様のノーマル入力モードでの露光動作を示すタイムチャートである。

5 図 19 は、全画素同一の露光タイミングで比較的短い露光時間としたグローバルシャッタ入力モードでの露光動作を示すタイムチャートである。

図 20 は、全画素同一の露光タイミングで比較的長い露光時間としたグローバルシャッタ入力モードでの露光動作を示すタイムチャートである。

図 21 は、第 2 実施形態に係る CMOS 型エリアイメージセンサの変形例の 1 画素分の構成を示す回路図である。

10 図 22 は、変形例に係る CMOS 型エリアイメージセンサのグローバルシャッタ入力モードでの露光動作を示すタイムチャートである。

における動画像入力時の動作タイミングを示すタイムチャートである。

図 23 は、従来の CMOS 型エリアイメージセンサの 1 つの画素の構成を示す図である。

15 図 24 は、デジタルカメラの撮像光学系を示す概略図である。

図 25 は、画像読取領域における光量の分布を示す図である。

図 26 は、Y 軸断面における中心からの距離と光量の割合との関係を示す図である。

20 図 27 は、画像読取領域の約 $1/4$ の領域（一つの象限）を示す図である。

発明を実施するための最良の形態

以下、本願発明の好ましい実施の形態を、添付図面を参照して具体的に説明する。

25 図 1 は、本願発明に係るエリアイメージセンサの第 1 実施形態を示す構成図である。このエリアイメージセンサは、デジタルカメラ等に用いられるもので、横長の画像読取領域 S を備えている。画像読取領域 S には、格子状に配列された複数の光電変換素子であるフォトダイオード 1 と、これらのフ

フォトダイオード 1 に接続された複数のスイッチング回路 2 と、行方向（横方向）に延びたアドレス線 3 と、列方向（縦方向）に延びた読出線 4 とが設けられている。

フォトダイオード 1 およびスイッチング回路 2 は、1 つずつ組み合わされることにより 1 画素を構成している。アドレス線 3 は、横方向に配列された複数のフォトダイオード 1 ごとに、縦方向に複数本設けられている。各アドレス線 3 は、制御部 9 に接続され、当該制御部 9 から各アドレス線 3 に対応する行に配列された複数の選択用トランジスタ 2 a のオン／オフを制御する制御信号（垂直同期信号）が出力される。

また、読出線 4 は、縦方向に配列された複数のフォトダイオード 1 ごとに、横方向に複数本設けられている。各読出線 4 は、画像読取領域 S の下部に読出線 4 毎に設けられた複数の A/D コンバータ 6 に接続されている。

フォトダイオード 1 は、光を受光量に応じた電荷量に変換して蓄える素子である。フォトダイオード 1 は、詳細には示していないが、たとえば平面視矩形状の受光面（図示略）を有しており、この受光面によって光を受光する。各フォトダイオード 1 は、そのアノード側がグラウンドに接地されており、カソード側がスイッチング回路 2 に接続されている。

スイッチング回路 2 は、フォトダイオード 1 によって蓄えられた電荷を読み出すためのものであり、図 2 に示すように、フォトダイオード 1 を選択するための選択用トランジスタ 2 a と、フォトダイオード 1 に蓄積された電荷量を増幅して出力するための増幅用トランジスタ 2 b と、フォトダイオード 1 の残留電荷を放出する（リセットする）ためのリセット用トランジスタ 2 c とによって構成されている。

選択用トランジスタ 2 a のゲート端子には、アドレス線 3 が接続されている。選択用トランジスタ 2 a のドレイン端子には、増幅用トランジスタ 2 b のソース端子が接続されており、増幅用トランジスタ 2 b のドレイン端子には、読出線 4 が接続されている。増幅用トランジスタ 2 b のゲート端子には、フォトダイオード 1 のカソード端子が接続されるとともに、リセット用トラ

ンジスタ 2 c のドレイン端子が接続されている。リセット用トランジスタ 2 c のゲート端子には、リセット線 R (図 1 では図示略) が接続されている。また、選択用トランジスタ 2 a および増幅用トランジスタ 2 b の各ソース端子には、バイアス線 B (図 1 では図示略) が接続されている。

- 5 なお、リセット線 R は、アドレス線 3 と同様に、各行に配列された複数の画素に対応して複数本設けられ、それぞれ制御部 9 に接続されている。また、バイアス線 B は電源に接続されている。リセット線 R には、制御部 9 から各リセット線 R に対応する行に配列された複数のリセット用トランジスタ 2 c のオン/オフを制御する制御信号が出力される。
- 10 この構成により、アドレス線 3 に対して、制御部 9 (後述) から垂直走査信号 (選択信号) が出力されると、選択用トランジスタ 2 a がオンする。これにより、増幅用トランジスタ 2 b はオン動作され、フォトダイオード 1 に蓄えられていた電荷量に基づく当該フォトダイオードのカソード電圧が増幅用トランジスタ 2 b で増幅されて読出線 4 に出力され、この出力電圧は、
- 15 読出線 4 を通じて A/D コンバータ 6 (後述) に入力される。

- 図 1 に戻り、各読出線 4 の接続端には、アナログ信号をディジタル信号に変換するための複数の A/D コンバータ 6 がそれぞれ接続されている。A/D コンバータ 6 の各出力端には、シフトレジスタ 7 がそれぞれ接続され、各シフトレジスタ 7 は、ディジーチェーン状に直列に接続されている。また、
- 20 A/D コンバータ 6 には、分圧回路 8 を介して制御部 9 が接続されている。

A/D コンバータ 6 は、図 3 に示すように、サンプル&ホールド回路 1 1 と、コンパレータ回路 1 2 と、カウンタ回路 1 3 とによって概略構成されている。

- サンプル&ホールド回路 1 1 は、読出線 4 に接続され、各フォトダイオード 1 から読出線 4 を通じて読み出された信号 (以下、画素信号という。) を、
- 25 一時的に保持するための回路である。

コンパレータ回路 1 2 は、サンプル&ホールド回路 1 1 によって一時的に保持された画素信号の電圧レベルと、制御部 9 から出力される基準電圧とを

比較する回路である。すなわち、コンパレータ回路 1 2 の一方の入力端子 1 2 a は、サンプル&ホールド回路 1 1 に接続され、他方の入力端子 1 2 b は、分圧回路 8 に接続されている。

ここで、基準電圧としての信号は、横方向 1 ラインのスイッチング回路 2 が選択信号によって選択されるとき、図 4 に示すように、その選択時間 T 内で時間の経過とともにスロープ状に変化し、その変化が選択時間 T ごとに繰り返されるような略のこぎり状の波形を有している。上記選択時間 T は、制御部 9 から出力されるタイミング信号に同期してその周期が規定される。

コンパレータ回路 1 2 は、サンプル&ホールド回路 1 1 によって一時的に保持された電圧と基準電圧とを比較し、両者が一致したときの一致信号をカウンタ回路 1 3 に出力する。カウンタ回路 1 3 は、コンパレータ回路 1 2 の出力端子 1 2 c に接続され、制御部 9 から出力される、上記選択時間 T と同期したクロック信号に基づいて、たとえば「0」～「1 0 2 3」を選択時間 T ごとに繰り返しカウントするものである。カウンタ回路 1 3 は、コンパレータ回路 1 2 からの一致信号によってラッチされ、ラッチされたときのカウント値 C をシフトレジスタ 7 に出力する。このカウント値 C は、画素信号の電圧レベルをデジタル値（画素データ）に変換したものである。

シフトレジスタ 7 は、フリップフロップ回路などで構成され、その入力端はカウンタ回路 1 3 の出力に接続され、各カウンタ回路 1 3 から出力されたカウント値 C を一時的に保持する。各列に対応して設けられた複数のシフトレジスタ 7 は直列に接続され、その先端は、図略のフレームメモリに接続されている。各シフトレジスタ 7 に保持されたカウント値 C（画素データ）は、シフトパルスに同期して所定のタイミングで順次、フレームメモリに出力される。シフトレジスタ 7 には行単位で画素データが出力されるので、フレームメモリには、行単位で画素データが記憶される。したがって、全ての行について画素データがフレームメモリに転送されると、1 フレーム分の画像データが生成される。さらに、複数フレーム分の画像データが連続的に生成されることで動画像が得られる。

制御部 9 は、このエリアイメージセンサの制御中枢となるものであり、上記したように各スイッチング回路 2 に対してアドレス線 3 ごとに走査して選択信号を出力する。制御部 9 は、A/D コンバータ 6 に対してクロック信号およびタイミング信号を入力する。また、制御部 9 は、フォトダイオード 1 から読み出された画素信号の比較対象となる基準電圧を、分圧回路 8 を介して A/D コンバータ 6 のコンパレータ回路 12 に入力する。

分圧回路 8 は、図 5 に示すように、増幅器 15 と複数の抵抗 R1 ~ R8 とによって構成されている。分圧回路 8 は、基準電圧を分圧して各 A/D コンバータ 6 に入力するものである。

- 10 増幅器 15 は、基準電圧を制御部 9 から出力される設定信号に基づいて所定の電圧値に増幅するものであり、抵抗 R1 ~ R8 は、増幅器 15 の出力電圧を分圧するものである。

- 15 なお、図 5 に示す分圧回路 8 では、説明の便宜上、抵抗 R1 ~ R8 およびそれらに接続された第 1 ないし第 5 A/D コンバータ 6A, 6B, 6C, 6D, 6E の 5 つの A/D コンバータしか記載されていないが、実際は、読出線 4 の数に応じた数の抵抗および A/D コンバータが設けられている。また、5 つの A/D コンバータ 6A, 6B, 6C, 6D, 6E は、画像読取領域 S の列方向に配列されたフォトダイオード 1 に対応して読出線 4 に接続されており、特に、第 3 A/D コンバータ 6C は、画像読取領域 S の中心を通る縦方向の座標軸上に配列されているフォトダイオード 1 に読出線 4 を介して接続されているとする。

- 25 また、アドレス線 3 は、説明の便宜上、図 6 に示すように、第 1 ないし第 5 アドレス線 3A, 3B, 3C, 3D, 3E の 5 本のみ設けられているとし、特に、第 3 アドレス線 3C は、画像読取領域 S の中心を通る行方向座標軸上に配列されているフォトダイオード 1 に接続されているとする。

本願発明は、図 7 に示すように、画像読取領域 S 内の原点 O における受光量を最大受光量 (100%) としたとき、画像読取領域 S 内の任意の点 P の X 座標に相当する X 軸上の点 P_x における受光量の上記最大受光量に対す

る比と、上記任意の点PのY座標に相当するY軸上の点P_yにおける受光量の上記最大光量に対する比とを乗じたものが、上記任意の点Pにおける受光量の上記最大受光量に対する比とほぼ等しいという知見に基づいてなされたものである。

- 5 すなわち、画像読取領域S内の任意の点Pにおいて、上記最大光量を受光する画素と同等の出力値を得るためには、任意の点PについてのX座標に相当するX軸上の点P_xにおける受光量の上記最大受光量に対する比の逆数と、上記任意の点PについてのY座標に相当するY軸上の点P_yにおける受光量の上記最大受光量に対する比の逆数とを用い、それらを任意の点Pにおける画素の出力値に掛け合わせればよいことになる。

- 10 具体的には、図7における点P_xにおける受光量の原点Oにおける受光量（最大受光量）に対する比を80%とし、点P_yにおける受光量の原点Oにおける受光量（最大受光量）に対する比を80%とすると、点Pにおける受光量の上記最大受光量に対する比は64%となる。したがって、点Pにおける受光素子の出力値に対して、点P_xにおける光量の原点Oにおける最大光量に対する比の逆数である（100/80）と、点P_yにおける光量の原点Oにおける最大光量に対する比の逆数である（100/80）とを乗ずるよう
15 くにすれば、 $64 \times (100/80) \times (100/80) = 100$ となることから、上記点Pにおける受光素子の出力値は、原点Oにおける画素の出力値と同等となるように補正されることになる。

- 20 そのため、画像読取領域Sの所定点（たとえば中心）を通る横方向の座標軸（図7のX軸に相当）上に位置する各点に対応する横方向補正係数と、画像読取領域Sの中心を通る縦方向の座標軸（図7のY軸に相当）上に位置する各点に対応する縦方向補正係数とを定めておき、画像読取領域Sの各フ
25 ォトダイオード1からの画素信号に対して、当該フォトダイオード1の横方向座標（X座標）に対応する横方向補正係数と、当該フォトダイオード1の縦方向座標（Y座標）に対応する縦方向補正係数とを乗ずるようにする。

ここで、横方向補正係数を、横方向座標軸上に配列されているフォトダイ

オード 1 の、画像読取領域 S の中心に位置するフォトダイオード 1 の受光量（最大受光量）に対する比の逆数に基づいて定め、横方向補正係数を、横方向座標軸上に配列されているフォトダイオード 1 の受光量の、画像読取領域 S の中心に位置するフォトダイオード 1 の受光量（最大受光量）に対する比の逆数に基づいて定めておけば、画像読取領域 S 内の各点におけるフォトダイオード 1 からの画素信号のレベルを、上記最大受光量を受光するフォトダイオード 1 からの画素信号とほぼ同等のレベルとなるように補正することができる。

本実施形態においては、一例として、各 A/D コンバータ 6 に対する基準電圧を、上記横方向補正係数および縦方向補正係数に関連させて設定変更することにより、各フォトダイオードの出力値に上記横方向補正係数および縦方向補正係数を乗じたのと同様となるように構成しており、以下、上記構成における作用を具体的に説明する。

まず、図 7 における Y 軸方向（縦方向）について A/D コンバータ 6 に対して基準電圧を設定する場合について説明すると、制御部 9 は、スイッチング回路 2 をオン動作させるための選択信号をアドレス線 3 ごとに順次出力する。このとき、制御部 9 は、アドレス線 3 に選択信号を出力するごとに、A/D コンバータ 6 に対して A/D 方向補正係数に関連する値に応じて、異なる値の基準電圧を設定する。

たとえば、図 6 に示した第 3 アドレス線 3 C に選択信号を出力するときの基準電圧を正規の基準電圧（100%）とし、制御部 9 は、第 1 アドレス線 3 A に選択信号を出力するとき、A/D コンバータ 6 の基準電圧が、正規のたとえば約 67.5% の基準電圧になるように設定する。すなわち、制御部 9 は、基準電圧の振幅が正規の約 67.5% になるように、分圧回路 8 の増幅器 15 に設定信号を入力する。これにより、増幅器 15 は、振幅が 0.675 倍にされた基準電圧を A/D コンバータ 6 に入力する。

次いで、制御部 9 は、第 2 アドレス線 3 B に選択信号を出力するとき、A/D コンバータ 6 の基準電圧が、正規のたとえば約 90.0% の基準電圧に

5 なるように設定する。制御部 9 は、第 3 アドレス線 3 C に選択信号を出力するとき、正規の基準電圧をそのまま出力する。また、制御部 9 は、第 4 アドレス線 3 D に選択信号を出力するとき、A/D コンバータ 6 の基準電圧が、正規のたとえば約 90.0% になるように設定する。そして、制御部 9 は、第 5 アドレス線 3 E に選択信号を出力するとき、A/D コンバータ 6 の基準電圧が、正規のたとえば約 67.5% の基準電圧になるように設定する。

10 なお、上記した正規の基準電圧に対する各割合は、アドレス線 3 が 5 本の場合を想定して予め定められたものであり、実際のエリアイメージセンサでは、アドレス線 3 の数は上記の例より多く、アドレス線 3 の数に応じて異なる値となる。本実施形態においては、たとえば、第 1 アドレス線 3 A に接続されるフォトダイオード 1 についての、縦方向座標上の点における光量の最大光量に対する比が 67.5% とされており、この値が縦方向補正係数に関連した値とされている。

15 このように、制御部 9 が A/D コンバータ 6 に対して基準電圧を設定すると、A/D コンバータ 6 におけるコンパレータ回路 12 の他方の入力端子 12 b には、図 8 に示すように、振幅が所定の割合で下げられた基準電圧が入力されることになる。

20 通常、コンパレータ回路 12 の一方の入力端子 12 a には、サンプル&ホールド回路 11 によって保持されたフォトダイオード 1 からの画素信号の電圧値が入力される。そして、コンパレータ回路 12 において、基準電圧とこの画素信号の電圧値とが比較され、基準電圧の値と画素信号の電圧値とが一致したとき、その一致信号がカウンタ回路 13 に出力される。これにより、カウンタ回路 13 では、カウント値 C がカウントされる。カウンタ回路 13 の出力は、シフトレジスタ 7 に送られ、フォトダイオード 1 の正規の出力値とされる。

25 上記のように、コンパレータ回路 12 に、振幅が所定の割合で下げられた基準電圧が入力されると、同じ画素信号が入力された場合でも、基準電圧の値と画素信号の電圧値とが一致するタイミングが遅れることになる。そのた

め、カウンタ回路 13 では、カウント値 C より大きいカウント値 C' がカウントされることになり、フォトダイオード 1 の出力値が見かけ上、増加することになる。

一方、図 7 における X 軸方向（横方向）について A/D コンバータ 6 に対して基準電圧を設定する場合について説明すると、横方向においては、各 A/D コンバータ 6 に与えられる基準電圧が、横方向補正係数に関連した値に応じて、分圧回路 8 の各抵抗 R 1 ~ R 8 によって分圧されることにより異なるようにされる。すなわち、図 5 に示したように、第 1 A/D コンバータ 6 A には、第 1 抵抗 R 1 と第 2 抵抗 R 2 との抵抗比に基づいて分圧された基準電圧が与えられる。具体的には、第 1 抵抗 R 1 と第 2 抵抗 R 2 との抵抗比は、たとえば 675 : 325 とされているため、正規の基準電圧の 67.5% の電圧が基準電圧として第 1 A/D コンバータ 6 A に入力される。

また、第 2 A/D コンバータ 6 B には、第 3 抵抗 R 3 と第 4 抵抗 R 4 との抵抗比がたとえば 9 : 1 とされているため、正規の基準電圧の 90% の電圧が基準電圧として入力される。そして、第 3 A/D コンバータ 6 C には、抵抗が接続されていないため、増幅器 15 で増幅された基準電圧がそのまま入力される。また、第 4 A/D コンバータ 6 D には、第 5 抵抗 R 5 と第 6 抵抗 R 6 との抵抗比がたとえば 9 : 1 とされているため、正規の基準電圧の 90% の電圧が基準電圧として入力される。さらに、第 5 A/D コンバータ 6 E には、第 7 抵抗 R 7 と第 8 抵抗 R 8 との抵抗比がたとえば 675 : 325 とされているため、正規の基準電圧の 67.5% の電圧が基準電圧として入力される。

なお、上記した抵抗の分圧比による正規の基準電圧の各割合は、読出線 4 が 5 本の場合を想定して予め定められた値であり、実際のイメージセンサでは、読出線 4 の数は上記の例より多く、読出線 4 の数に応じて異なる値となる。本実施形態においては、たとえば、第 1 A/D コンバータ 6 A に接続されるフォトダイオード 1 についての、横方向座標軸上の点における受光量の最大受光量に対する比が 67.5% とされており、この値が横方向補正係数

に関連した値とされている。したがって、第1アドレス線3Aに接続され、かつ第1A/Dコンバータ6Aに接続されるフォトダイオード1についての、画像読取領域S内の点における受光量の最大受光量に対する比は、 67.5×67.5 で求められ、約45.5%となる。

- 5 縦方向についてA/Dコンバータ6の基準電圧が設定された場合に、振幅が下げられた基準電圧（図8参照）は、上記のように、分圧回路8によって、第1、第2、第4および第5A/Dコンバータ6A、6B、6D、6Eに与えられる基準電圧が所定の割合で下げられることにより、図9に示すように、さらにその振幅が下げられる。そのため、たとえば第1A/Dコンバータ6Aのコンパレータ回路12では、さらにその振幅が下げられた基準電圧と画素信号とが比較されることになる。

- そして、そのときの一致信号がカウンタ回路13に出力され、カウンタ回路13は、カウント値C'より高い値のカウント値C''をシフトレジスタ7に出力する。このカウンタ回路13の出力は、シフトレジスタ7に送られて、
15 フォトダイオード1の正規の出力値とされるが、カウント値C''は、上記したカウント値C'より高い値であるため、フォトダイオード1の出力値は、見かけ上、さらに増加されることになる。

- ここで、基準電圧の振幅が所定の割合で下げられると、カウンタ回路13においてカウントされるカウント値（フォトダイオード1の出力値）は増加
20 するが、この場合、カウント値が増加する割合は、A/Dコンバータ6に対して設定した基準電圧の割合に対して、ちょうど逆数の関係にある。

- 図10は、基準電圧の振幅の変化に対するカウント値の変化を示す図である。なお、この図では、説明の便宜上、基準電圧としては、略のこぎり状波形の傾斜部分のみを示し、その部分のカウント範囲は「1」～「10」に設定している。ここで、仮に基準電圧が80%の割合でその振幅が下げられた
25 場合を想定すると、カウント値は、たとえば「4」から「5」の1.25倍になっており、ちょうど正規の基準電圧に対する割合の逆数である（ $100/80$ ）と一致する。

つまり、画像読取領域 S 内の任意のフォトダイオード 1 の最終出力値を最大受光量のフォトダイオードの出力値と同等としようとする場合、当該フォトダイオード 1 の横方向座標に相当する横方向座標軸上のフォトダイオード 1 の受光量の上記最大受光量に対する比と、当該フォトダイオード 1 の縦方向座標に相当する縦方向座標上のフォトダイオード 1 の受光量の上記最大受光量に対する比とを、A/D コンバータ 6 に対して基準電圧の割合としてそれぞれ設定すればよいことになる。

換言すれば、A/D コンバータ 6 に対して上記比を基準電圧の割合として設定することは、任意のフォトダイオード 1 の出力値に対して、当該フォトダイオード 1 の横方向座標に相当する横方向座標軸上の点における受光量の上記最大受光量に対する比の逆数（横方向補正係数）と、当該フォトダイオード 1 の縦方向座標に相当する縦方向座標軸上の点における受光量の上記最大受光量に対する比の逆数（縦方向補正係数）とを乗ずることに相当し、これにより、当該フォトダイオード 1 の出力値を補正することができる。

たとえば、図 11 に示すように、5 行 5 列にわたって配列された各フォトダイオード 1 のうち、第 1 行第 1 列において配列されたフォトダイオード 1 について、当該フォトダイオード 1 の横方向座標に相当する横方向座標軸上の点における受光量の上記最大受光量に対する比は、67.5%であり、また、当該フォトダイオード 1 の縦方向座標に相当する縦方向座標軸上の点における受光量の最大受光量に対する比は、67.5%であるため、第 1 行第 1 列において配列されたフォトダイオード 1 が位置する点の受光量の最大受光量に対する比は、上述したように約 45.5%となる。

そのため、第 1 行第 1 列において配列されたフォトダイオード 1 が位置する点の受光量に対して、当該フォトダイオード 1 の横方向座標に相当する横方向座標軸上の点における受光量の最大受光量に対する比の逆数である（ $100/67.5$ ）と、当該フォトダイオード 1 の横方向座標に相当する横方向座標軸上の点における受光量の最大受光量に対する比の逆数である（ $100/67.5$ ）とを乗ずると、 $45.5 \times (100/67.5) \times (100/67.5)$

／67.5)＝100となることから、最大受光量のフォトダイオード1の出力値と同等となるように、当該フォトダイオード1の出力値を補正することができる。

- 5 従来では、画像読取領域S内の全てのフォトダイオード1あるいは一つの象限にあるフォトダイオード1の出力値に対してそれぞれ補正值をもたせることがあったが、本実施形態では、横方向座標軸上に位置する各点および縦方向座標軸上に位置する各点についての補正係数を持たせておくだけで、画像読取領域S内の任意のフォトダイオード1の出力値を容易に補正することができるので、メモリ容量を著しく低減させることができる。また、N
- 10 Dフィルタを用いた場合のように、イメージセンサとしての全体としての出力が低下するという事もない。

- なお、分圧回路8の構成は、図5に示した回路構成に代えて、図12に示すように、各A/Dコンバータ6A～6Dのコンパレータ回路12に与えられる基準電圧が抵抗R11～R16によって直列的に分圧される回路構成
- 15 であってもよい。

- すなわち、第3A/Dコンバータ6Cは、増幅器15に直接的に接続されており、第2A/Dコンバータ6Bは、抵抗R13を介して増幅器15に接続されている。また、第1A/Dコンバータ6Aは、抵抗R12、R13を介して増幅器15に接続されており、第4A/Dコンバータ6Dは、抵抗
- 20 R14を介して増幅器15に接続されている。そして、第5A/Dコンバータ6Eは、抵抗R14、R15を介して増幅器15に接続されている。抵抗R11は、一端が抵抗R12に接続され、他端が所定電位 V_0 に接続されている。また、抵抗R16は、一端が抵抗R15に接続され、他端が所定電位 V_0 に接続されている。

- 25 この構成により、各A/Dコンバータ6A、6B、6C、6D、6Eに与えられる基準電圧は、横方向補正係数に関連した値に応じて、各抵抗R11～R16の値によって異なるようにされる。具体的には、第3A/Dコンバータ6Cには、基準電圧がそのまま入力され、第2および第4A/Dコンバ

ータ 6 B, 6 D には、正規の基準電圧のたとえば 90% の電圧が基準電圧として入力される。また、第 1 および第 5 A/D コンバータ 6 A, 6 E には、正規の基準電圧のたとえば 67.5% の電圧が基準電圧として入力される。したがって、この回路構成により、図 5 に示した回路構成と同様の作用効果を奏する。

また、これらの分圧回路 8 を設けることに代えて、図 13 に示すように、各 A/D コンバータ 6 A ~ 6 D のカウンタ回路 13 におけるカウント範囲（カウント加算値）が A/D コンバータ 6 A ~ 6 D ごとに、横方向補正係数に関連した値に応じて、異なるように設定されるようにしてもよい。

- すなわち、上記実施形態では、カウンタ回路 13 は、「0」～「1023」の間でカウントされたが、この「0」～「1023」の間でカウントするカウンタ回路 13 は、第 3 A/D コンバータ 6 C のカウンタ回路のみとし、第 2 および第 4 A/D コンバータ 6 B, 6 D の各カウンタ回路 13 は、たとえば「0」～「1138」の間でカウントされ、第 1 および第 5 A/D コンバータ 6 A, 6 E の各カウンタ回路 13 は、たとえば「0」～「1517」の間でカウントされるようにする。このようなカウント範囲の設定変更は、カウンタ回路 13 に入力されるクロック周波数を変更することにより容易に可能である。

- なお、上記した「1138」や「1517」といったカウント範囲を示す値は、読出線 4 が 5 本の場合を想定して予め定められた値である。

- 図 8 に示したように、列方向に配列されたフォトダイオード 1 の出力値を行ごとに補正するとき、カウンタ回路 13 では、コンパレータ回路 12 から出力される一致信号によって、カウント値 C' がカウントされる。そして、各 A/D コンバータ 6 A ~ 6 D のカウンタ回路 13 におけるカウント範囲をそれぞれ異なるように設定しておけば、カウント範囲を広くしたカウンタ回路 13 の方が、大きな値をカウントすることができる。したがって、フォトダイオード 1 の出力値は、見かけ上、増加されることになる。

これにより、分圧回路 8 を設けた回路構成と同様の作用効果を奏すること

ができるとともに、分圧回路 8 を省略することができる結果、部品コストを一層削減することができる。

また、上述した補正方法は、エリアイメージセンサに DSP を内蔵させた場合にも適用させることができる。

- 5 すなわち、従来、DSP を用いる方法では、図 1 4 に示すように、全てのフォトダイオード 1 によって読み出された全ての出力値に対して、フォトダイオード 1 が位置する点における受光量の最大受光量に対する比の逆数を補正值としてメモリ 3 0 から読み出し、乗算器 3 1 によって乗算することにより、画像読取領域 S における光量がほぼ均一になるようにされていた。この方法では、全てのフォトダイオード 1 に対してそれぞれ補正值を有しな
- 10 ればならない結果、メモリの容量が増大していた。

本実施形態では、図 1 5 に示すように、画像読取領域 S の中心を通る横方向座標軸上の各点に対応する横方向補正係数と、画像読取領域 S の中心を通る縦方向座標軸上の各点に対応する縦方向補正係数とをそれぞれメモリ 2

- 15 1 に記憶させておく。

そして、フォトダイオード 1 の実際の出力値に対して、当該フォトダイオード 1 の横方向座標に対応する縦方向補正係数を乗算器 2 2 によって乗算し、当該フォトダイオード 1 の縦方向座標に対応する縦方向補正係数を乗算器 2 3 によって乗算する。

- 20 このようにすれば、上記横方向補正係数と、縦方向補正係数とだけを記憶しておけばよいので、全てのフォトダイオード 1 に対してそれぞれ補正值を有する場合に比べ、メモリ容量を大幅に低減することができ、ひいては、部品コストの削減化を図ることができる。しかも、この方法によれば、画素数が増えれば増えるほどより大きな効果を発揮する。

- 25 なお、補正係数を乗算させる方法としては、図 1 6 に示すように、あらかじめ、フォトダイオード 1 の横方向座標に対応する横方向補正係数と、縦方向座標に対応する縦方向補正係数とを乗算器 2 4 によって乗算しておき、その乗算結果をフォトダイオード 1 の実際の出力値に乗算器 2 5 によって乗

算させる方法であってもよい。

また、上記横方向補正係数および縦方向補正係数は、予め間引きしたデータとして記憶されていてもよい。すなわち、メモリには、複数の列ごとに1つの補正係数を記憶させるとともに、複数の行ごとに1つの補正係数を記憶

5 させておく。これによれば、メモリ容量をさらに低減させることができる。

さて、上記第1実施形態は、撮像面に結像される被写体光像の光量の不均一に基づく撮像画像の画質劣化を改善するものであったが、次に、行毎に時間差を設けて露光動作を行うことによって生じる画像歪を改善する第2実施形態について説明する。

- 10 第2実施形態に係るCMOS型エリアイメージセンサは、上述した第1実施形態に係るCMOS型エリアイメージセンサに対して各画素の構成が相違し、この構成の相違に基づき露光の制御方法が相違する。

従って、以下の説明では、第2実施形態に係るMOS型エリアイメージセンサの画素の構成と露光制御について説明する。

- 15 図17は、第2実施形態に係るCMOS型エリアイメージセンサの1画素分の構成を示す回路図である。

第2実施形態に係るCMOS型エリアイメージセンサの各画素もフォトダイオード10とこれに接続されたスイッチング回路20とで構成されている。フォトダイオード10は、上述した第1実施形態に係るエリアイメージ

20 センサのフォトダイオード1に相当している。

- スイッチング回路20は、トランスファートランジスタ TR_t 、キャパシタ C 、リセット用トランジスタ TR_r 、増幅用トランジスタ TR_a 及び選択用トランジスタ TR_s によって構成されている。選択用トランジスタ TR_s 、リセット用トランジスタ TR_r 及び増幅用トランジスタ TR_a は、それぞれ
- 25 上述した第1実施形態に係るエリアイメージセンサのスイッチング回路2を構成する選択用トランジスタ2a、リセット用トランジスタ2c及び増幅用トランジスタ2bに相当している。キャパシタ C は、露光動作によりフォトトランジスタ10に蓄積された電荷を一時保存するものである。また、ト

ランスファートランジスタ TR_t は、フォトトランジスタ 10 の蓄積電荷のキャパシタ C への転送を制御するスイッチング素子である。

フォトダイオード 10 は、出力端としてのカソードがランスファートランジスタ TR_t のソース（入力端）に接続され、アノードが接地されている。

- 5 トランスファートランジスタ TR_t は、Nチャネル接合型の FET (Field Effect Transistor) からなり、出力端としてのドレインがキャパシタ C の主電極に接続され、ゲートが転送制御線 T に接続されている。転送制御線 T は、ランスファートランジスタ TR_t のオン／オフを制御する制御信号を入力するための信号線で、アドレス線 3 と同様に、各行に配列された複数の画素に対応して複数本設けられ、それぞれ制御部 9 に接続されている。

- 10 キャパシタ C の主電極は、リセット用トランジスタ TR_r のソース（入力端）と増幅用トランジスタ TR_a のゲートとの接続点 P_1 に接続され、キャパシタ C の他方の電極は接地されている。リセット用トランジスタ TR_r は、Nチャネル接合型の FET からなり、ゲートがリセット線 R に接続されている。
- 15 増幅用トランジスタ TR_a は、Pチャネル接合型の FET からなり、ドレインがバイアス線 B に接続され、出力端としてのソースが選択用トランジスタ TR_s のドレインに接続されている。選択用トランジスタ TR_s は、Pチャネル接合型の FET からなり、出力端としてのソースが信号線 L に接続され、ゲートがアドレス線 A に接続されている。

- 20 トランスファートランジスタ TR_t は、転送制御線 T を通じて制御部 9 から制御信号（以下、転送信号という。）が入力されると、オンになり、フォトダイオード 10 に蓄積された電荷をキャパシタ C に転送する。従って、露光は、ランスファートランジスタ TR_t がオンからオフにされた時点で開始され（露光開始時点）、次にランスファートランジスタ TR_t がオフからオン
- 25 にされると（露光終了時点）、それまでにフォトダイオード 10 に蓄えられた電荷がすべてキャパシタ C に転送されることで実現される。

リセット用トランジスタ TR_r は、リセット線 R を通じて制御部 9 からリセット信号が入力され、オフにされている間、接続点 P_1 から増幅用トラン

ジスタTR_aへの画素信号の移動を自由とする。逆に、リセット用トランジスタTR_rをオンにすると、キャパシタCに蓄積された電荷は接続点P₁及びリセット用トランジスタTR_rを通して外部に放出される。すなわち、リセット用トランジスタTR_rをオンにすると、キャパシタCの残留電荷が回路外に放出（リセット）され、フォトダイオード10からキャパシタCへの蓄積電荷（露光動作によって蓄積された電荷）の転送を可能にする。

増幅用トランジスタTR_aは、ソースフォロワとして機能する。増幅用トランジスタTR_aは、ゲートに入力された画素信号（キャパシタCの電圧）を増幅し、増幅後の画素信号をスイッチングトランジスタTR_sへと出力する。選択用トランジスタTR_sは、アドレス線Aを通じて制御部9から選択信号が入力されると、オンになり、増幅用トランジスタTR_aを動作させる。すなわち、選択用トランジスタTR_sがオンになると、増幅用トランジスタTR_aから増幅後の画素信号が出力され、選択用トランジスタTR_sを介して信号線Lに出力される。この画素信号は、信号線Lを通じてA/Dコンバータ6に入力される。

A/Dコンバータ6は、上述したように、選択信号（水平同期信号）に同期してアナログ信号としての画素信号をデジタルの画素データに変換して出力する。選択用トランジスタTR_sは、選択信号に同期してオンになり、増幅用トランジスタTR_aから出力される画素信号（キャパシタCに蓄積された電荷に基づく画素信号を増幅した信号）を信号線Lを介してA/Dコンバータ6に入力するので、A/Dコンバータ6のA/D変換動作は、各行で画素信号が読み出される毎に行われる。そして、行毎にA/Dコンバータ6で生成された画素データは、シフトレジスタ7を介して順次、フレームメモリに転送される。

制御部9は、上述したように、各アドレス線3への選択信号の出力、各リセット線Rへのリセット信号の出力、各転送制御線Tへの転送信号の出力を制御する。制御部9は、垂直同期信号及び水平同期信号に基づいて選択信号、リセット信号及び転送信号の出力タイミングを制御する。

選択信号は、画素信号を読み出す行を選択する信号で、水平同期信号に同期して最上行から最下行に順番に出力される。選択信号が出力された行に配列されている複数の画素は、同時に選択用トランジスタ $T R_s$ がオンになり、画素信号が信号線 L を介して A/D コンバータ 6 に出力される。

- 5 リセット信号は、キャパシタ C の残留している電荷を放出するための信号で、例えば H レベルのパルス信号である。転送信号は、フォトダイオード 10 の蓄積電荷のキャパシタ C への転送を制御する信号で、実質的にフォトダイオード 10 の露光動作を制御する信号である。転送制御線 T に H レベルの転送信号が出力されると、その転送制御線 T に対応する行に配列されている
- 10 複数の画素は、同時にトランスファトランジスタ $T R_s$ がオンになり、フォトダイオード 10 の露光動作によって蓄積された電荷がキャパシタ C に転送される。その後、転送制御線 T に L レベルの転送信号が出力されると、その転送制御線 T に対応する行に配列されている複数の画素は、同時にトランスファトランジスタ $T R_s$ がオフになり、転送信号が H レベルから L レベル
- 15 に反転したタイミングで、フォトダイオード 10 からキャパシタ C への電荷転送が禁止され、露光が開始される。

露光動作によってフォトダイオード 10 に蓄積された電荷は、キャパシタ C をリセットした後に当該キャパシタ C に転送されるため、転送信号はリセット信号と同時若しくはその後に出力される。

- 20 第 2 実施形態に係る $CMOS$ 型エリアイメージセンサでは、フォトダイオード 10 に蓄積された電荷をキャパシタ C に転送して一時保存するようにしているので、フォトダイオード 10 の露光動作と蓄積電荷の読出動作とを分離することができるようになっている。

- 25 上述した従来の $CMOS$ 型エリアイメージセンサや第 1 実施形態に係る $CMOS$ 型エリアイメージセンサは、露光終了時に直ちにフォトダイオード 10 の蓄積電荷が読み出され、それと同時に次の露光動作が開始されるように構成されているため、全画素の露光開始／終了タイミングを同時にすると、各信号線 L に、対応する列に縦方向に配列された複数の画素から同時に画

素信号が出力され、これらの画素信号が混合されてA/Dコンバータ6に入力されることになるので、行単位で画素の露光開始/終了タイミングをずらせる必要があった。この結果、撮像画面は行単位で露光時刻がずれ、高速移動している被写体の場合、画像歪が生じることとなっていた。

5 第2実施形態に係るCMOS型エリアイメージセンサでは、フォトダイオード10の露光動作と蓄積電荷の読出動作とが分離できるので、全画素の露光動作を同時に制御するとともに、蓄積電荷の読出動作の際に行単位でタイミングをずらせば、従来と同様に全画素の受光信号を正常に読み出すことができるようになっている。

10 次に、第2実施形態に係るCMOS型エリアイメージセンサの露光動作について説明する。

図18ないし図20は、動画像入力時の動作タイミングを示すタイムチャートである。特に、図18は、従来と同様に1行ずつ露光タイミングをずらしたノーマル入力モード、図19は、全画素同一の露光タイミングで比較的
15 短い露光時間としたグローバルシャッタ入力モード、図20は、全画素同一の露光タイミングで比較的長い露光時間としたグローバルシャッタ入力モードを示している。各図には、2本のアドレス線A2, A3に対応した第2, 第3行目に係る動作タイミングを示す。このような動作タイミングは、他の行でも同様に適用される。なお、図18のノーマル入力モードは、あくまで
20 も比較参考例にすぎず、実際にはそのような動作モードは採用されない。

ノーマル入力モードでは、図18に示すように、制御部9は、垂直同期信号が入力されてから次の垂直同期信号が入力されるまでを1サイクルとし、この1サイクルの間に水平同期信号に同期して各アドレス線A1~A6の
25 選択走査順を示すアドレス値をアドレスカウンタに書き込む。この垂直同期信号の1サイクルが画像データの1フレーム分に相当する。また、水平同期信号の1サイクルが1行分の信号処理時間に相当する。

たとえば、制御部9がアドレスカウンタからアドレス値「A2」を読み出して再びアドレス値「A2」を読み出すまでは、第2行目のフォトダイオー

ド10, …が露光状態(チャージ中)にある。また、アドレスカウンタからアドレス値「A3」を読み出して再びアドレス値「A3」を読み出すまでは、第3行目のフォトダイオード10, …が露光状態にある。これらの露光による第2, 第3行目の画素信号は、第1フレーム(1F)の一部をなす。

- 5 そして、制御部9は、アドレス値「A2」を読み出した時点で第2行目の転送制御線Tに転送信号を出力する。また、制御部9は、アドレス値「A3」を読み出した時点で第3行目の転送制御線Tに転送信号を出力する。これにより、第2行目では、フォトダイオード10の画素信号がトランスファートランジスタTR_tを通じてキャパシタCに転送され、さらに水平同期信号の1
- 10 サイクル分遅れて第3行目でも、同様にしてフォトダイオード10の画素信号がキャパシタCに転送される。

- このとき、各行においては、転送信号の送出タイミング(トランスファートランジスタTR_tがオンするタイミング)に合わせてリセット線R上のリセット信号がLレベルとされる。また、各行においてリセット信号がLレベル
- 15 になった直後には、各アドレス線A2, A3にHレベルの選択信号が出力される。その結果、各行では、画素信号がキャパシタCに蓄えられ(チャージ)、その直後、画素信号は、選択信号の送出タイミング(選択用トランジスタTR_sがオンするタイミング)で増幅用トランジスタTR_aに入力されることで増幅され、さらに増幅後の画素信号が選択用トランジスタTR_s及び信号
- 20 線Lを介してA/Dコンバータ6に出力される。

- そして、A/Dコンバータ6によって水平同期信号の1サイクル時間内に画素信号がデジタルの画像データに変換される。さらに、その画像データは、同一サイクル時間内にシフトレジスタ7によって1行分のシリアルデータとしてフレームメモリに出力される。このような一連の動作を行単位、さ
- 25 らにはフレーム単位で繰り返し行うことにより、複数フレーム分の連続した画像データ、すなわち動画像が得られる。

ところで、ノーマル入力モードでは、図18からも明らかなように、水平同期信号に同期して各行に配列された複数の画素が順番に露光が開始され

るので、露光開始タイミングが行ごとに異なる。その結果、露光時間は同一であるが、行毎に露光時刻の異なる画素信号によってフレーム画像が構成されるため、被写体が移動している場合は、当該フレーム画像に歪みが生じてしまう。そのため、実際には、以下に説明するグローバルシャッタ入力モードを採用している。

まず、短時間露光方式のグローバルシャッタ入力モードについて説明する。

図 19 に示すように、短時間露光方式のグローバルシャッタ入力モードでは、制御部 9 は、トリガ信号の入力に応じて全行同時にリセット線 R, …上に H レベルの全リセット信号を一瞬送出する。それと同時に、制御部 9 は、全行の転送制御線 T, …上にも一瞬 H レベルに上昇するパルス信号からなる全転送信号を送出する（タイミング a 参照）。すると、全画素において、フォトダイオード 10, …およびキャパシタ C, …に残留した電荷がリセット用トランジスタ TR_r , …を通じて外部に放出され、フォトダイオード 10, …およびキャパシタ C, …がリセットされ、露光が開始される。

その後、制御部 9 は、垂直同期信号が入力される直前（タイミング b 参照）に H レベルの全転送信号を一瞬再送出する。これにより、トランスファートランジスタ TR_t が短時間（タイミング a からタイミング b の時間）にわたりオフとされ、その間に全画素のフォトダイオード 10, …が同時に露光状態とされる。そして、全画素では、全転送信号の再送出時点（タイミング b）でフォトダイオード 10, …からトランスファートランジスタ TR_t を通じてキャパシタ C, …に受光量に応じて蓄積された電荷が転送され（図 18 の A2, A3 のキャパシタチャージ参照）、これらのキャパシタ C, …にその蓄積電荷が一時的に蓄えられた状態とされる。

その後、制御部 9 は、水平同期信号に同期して 1 行ごとにアドレス線 A に選択信号を送出する（図 19 の水平同期信号と A2, A3 のアドレス選択信号参照）。すると、各行に配列された複数の画素では、キャパシタ C に蓄積された全画素同時露光による電荷に基づく画素信号が増幅用トランジスタ TR_a により増幅され、選択用トランジスタ TR_s を通じて信号線 L 上に出

力される。その後、各行の画素信号は、A/Dコンバータ6によりデジタル信号に変換された後（図19のA/D変換参照）、シフトレジスタ7を介してフレームメモリに転送される。そして、この動作を全ての行について行うことによりフレームメモリに1フレーム分の画像データが記憶される。更に、この1フレームごとの画像データの生成を繰り返すことにより動画像の画像データが得られる。

要するに、短時間露光方式のグローバルシャッタ入力モードでは、図19からも明らかなように、比較的短い露光時間で全画素同時に露光動作が行われ、その直後にフォトダイオード10に蓄積電荷は一旦キャパシタCに転送してフォトダイオード10を露光可能状態にする一方、キャパシタCに一時保存された蓄積電荷は、水平同期信号に同期して行単位で順次読み出され、A/Dコンバータ6でデジタル信号の画像データに変換された後、シフトレジスタ7を介してフレームメモリに記憶される。従って、被写体が移動体であっても画像歪のない撮像画像を得ることができる。

次に、長時間露光方式のグローバルシャッタ入力モードについて説明する。

図20に示すように、長時間露光方式のグローバルシャッタ入力モードでは、制御部9は、垂直同期信号が入力される直前（タイミングa参照）に、同時に全てのリセット線R、…および転送制御線T、…のそれぞれにHレベルの全リセット信号と全転送信号とを一瞬送出する。すると、全画素において、フォトダイオード10、…およびキャパシタC、…に蓄えられた電荷がリセット用トランジスタTR_r、…を通じて外部に放出され、フォトダイオード10、…およびキャパシタC、…がリセットされ、露光が開始される。

その後、制御部9は、次の垂直同期信号が入力される直前（図20では表れていない）になるまで全リセット信号および全転送信号を送出することはない。これにより、トランスファトランジスタTR_tが垂直同期信号の周期に相当する長い時間（1フレーム分の画像データの取込時間に相当）にわたってオフとされ、その間に全画素のフォトダイオード10、…が同時に露光状態とされる。

また、制御部 9 は、全画素で露光動作を行わせている間に、水平同期信号に同期して 1 行ごとにアドレス線 A に選択信号を送出する（図 20 の水平同期信号と A 2, A 3 のアドレス選択信号参照）。各行に配列された複数の画素では、キャパシタ C に蓄積された前回の全画素同時露光による電荷に基づく画素信号が増幅用トランジスタ T R a により増幅され、選択用トランジスタ T R s を通じて信号線 L 上に出力される。その後、各行の画素信号は、A/D コンバータ 6 によりデジタル信号に変換された後（図 20 の A/D 変換参照）、シフトレジスタ 7 を介してフレームメモリに転送される。そして、この動作を全ての行について行うことによりフレームメモリに 1 フレーム分の画像データが記憶される。

すなわち、長時間露光方式のグローバルシャッタ入力モードでは、全画素で同時に垂直同期信号の周期に相当する時間の露光を行なっている間に、前の全画素同時露光で得られた受光量に応じた電荷を、各画素のキャパシタ C から行単位で順次、A/D コンバータ 6 読み出し、デジタルの画像データに変換した後、シフトレジスタ 7 を介してフレームメモリに記憶する。従って、長時間露光方式のグローバルシャッタ入力モードでは、被写体が移動体であっても画像歪がなく、しかも明るさの点でも十分な撮像画像を得ることができる。

従来の CMOS 型エリアイメージセンサでは、行単位で露光開始タイミングをずらせて各画素の露光動作を制御しているので、画像歪を抑制するべく各行の時間的ずれをできるだけ小さくするために、水平同期信号の周波数（クロック周波数）を高めて A/D 変換などをより高速化することもある。しかし、そうすると、A/D コンバータ 6 などの消費電力が増大するという不都合が生じるが、第 2 実施形態に係る CMOS 型エリアイメージセンサでは、全画素の露光動作を同時に行うことができるので、クロック周波数を高める必要がなく、消費電力が増大するという不都合も生じない。

次に、第 2 実施形態に係る CMOS 型エリアイメージセンサの変形例について説明する。なお、第 2 実施形態と同様の点については、同一符号を付し

てその説明を省略する。

図 2 1 は、第 2 実施形態に係る CMOS 型エリアイメージセンサの変形例の 1 画素分の構成を示す回路図である。

この変形例では、フォトダイオード 1 0 と接続点 P 1 との間に、トランスファートランジスタ TR_t の出力端（ドレイン）とキャパシタ C の主電極とを接続した組を 2 組設けている。すなわち、フォトダイオード 1 0 の蓄積電荷を一時的に保存するキャパシタを二段構成としている。

図 2 1 に仮想線で囲むブロック K 1, K 2 で示すように、フォトダイオード 1 0 に近いブロック K 1 を第 1 組、遠いブロック K 2 を第 2 組とすると、第 1 組のトランスファートランジスタ TR_t1 のソースは、フォトダイオード 1 0 のカソードに接続され、ドレインは第 2 組のトランスファートランジスタ TR_t2 のソース及びキャパシタ C 1 の主電極に接続され、ゲートは第 1 転送制御線 T 1 に接続されている。また、第 2 組のトランスファートランジスタ TR_t2 のドレインは接続点 P 1 に接続され、ゲートは第 2 転送制御線 T 2 に接続されている。

また、第 2 組のキャパシタに対するリセット用トランジスタとは別にフォトダイオード 1 0 に対するリセット用トランジスタを設けている。後者を第 1 リセット用トランジスタ TR_t1 とし、前者を第 2 リセット用トランジスタ TR_t2 とすると、第 1 リセット用トランジスタ TR_t1 のソースはフォトダイオード 1 0 の出力端（カソード）が接続され、ゲートは第 1 のリセット線 R 1 に接続されている。また、第 2 リセット用トランジスタ TR_t2 のソースは接続点 P 1 に接続され、ゲートは第 2 のリセット線 R 2 に接続されている。

次に、CMOS 型エリアイメージセンサの変形例の露光動作について説明する。

図 2 2 は、変形例の動画像入力時の動作タイミングを示すタイムチャートである。このタイムチャートは、グローバルシャッタ入力モードにおけるタイムチャートである。また、2 本のアドレス線 A 2, A 3 に対応した第 2,

第3行目に係る動作タイミングを示す。このような動作タイミングは、他の行でも同様に適用される。

この変形例他によるグローバルシャッタ入力モードでは、制御部9は、図19に示すタイミングと同じタイミングとした上で全行同時に第1リセット線R1上にHレベルの第1リセット信号を一瞬送出する。それと同時に、
5 制御部9は、全行にわたる第1転送制御線T1上にもHレベルの第1転送信号を一瞬送出する。すると、全画素のフォトダイオード10、…で同時に露光が開始される（タイミングa、b参照）。

その後、制御部9は、垂直同期信号を入力する直前にHレベルの第1転送信号を一瞬再送出する（タイミングc、d参照）。これにより、第1組のトランスファートランジスタTRt1が短時間にわたりオフとされ、その間に全画素のフォトダイオード10、…が同時に露光状態とされる。そして、全画素では、第1転送信号の再送出時点（タイミングc、d参照）でフォトダイオード10、…から第1組のトランスファートランジスタTRt1を通じて
10 同組のキャパシタC1、…に画素信号が転送され、これらのキャパシタC1、…に画素信号が一時的に蓄えられた状態とされる。

その後、制御部9は、たとえばアドレスカウンタからアドレス値「A2」を読み出した時点で第2行目の第2転送制御線T2に第2転送信号を出力する。また、制御部9は、アドレスカウンタからアドレス値「A3」を読み出した時点で第3行目の第2転送制御線T2に第2転送信号を送り出す。これにより、第2行目では、第1組のキャパシタC1に蓄積された電荷（画素信号）が第2組のトランスファートランジスタTRt2を通じて第2組のキャパシタC2に転送され、さらに水平同期信号の1サイクル分遅れて第3行目でも、同様に第1組のキャパシタC1に蓄積された電荷（画素信号）が
15 第2組のキャパシタC2に転送される。

このとき、各行においては、第2転送信号の送出タイミング（第2組のトランスファートランジスタTRt2がオンするタイミング）に合わせて第2リセット線R2上の第2リセット信号がLレベルとされる。また、各行におい

て第2リセット信号がLレベルになった直後には、各アドレス線A2, A3にHレベルの選択信号が出力される。その結果、各行では、電荷が第2組のキャパシタC2に蓄積され(チャージ)、その直後、画素信号は、選択信号の送出タイミング(スイッチングトランジスタTRsがオンするタイミング)で増幅用トランジスタTRaに入力されることで増幅され、さらに増幅後の画素信号が選択用トランジスタTRs及び信号線Lを介してA/Dコンバータ6に出力される。

そして、A/Dコンバータ6によって水平同期信号の1サイクル時間内に画素信号がデジタルの画像データに変換される。さらに、その画像データは、同一サイクル時間内にシフトレジスタ7によって1行分のシリアルデータとしてフレームメモリに出力される。このような一連の動作を行単位、さらにはフレーム単位に繰り返し行うことにより、複数フレーム分の連続した画像データ、すなわち動画像が得られる。

要するに、変形例に係るグローバルシャッタ入力モードでは、図22からも明らかなように、全画素同時に露光動作が行われ、その直後にフォトダイオード10の蓄積電荷は一旦第1組のキャパシタC1に転送してフォトダイオード10を露光可能状態にする一方、キャパシタC1に一時保存された蓄積電荷は、水平同期信号に同期して行単位で第2組のキャパシタC2に転送しながら順次読み出され(図22の期間eにおける第2行目の画素信号の読出処理参照)、A/Dコンバータ6でデジタル信号の画像データに変換された後、シフトレジスタ7を介してフレームメモリに記憶される。第2実施形態に係るCMOS型エリアイメージセンサと同様に、被写体が移動体であっても画像歪のない撮像画像を得ることができる。

なお、上記の各実施形態による効果は、たとえばデジタルカメラの液晶モニタに動画像を表示させる際や、記録用メモリなどに動画像データを取り込む際に特に有効とされる。

また、エリアイメージセンサ1は、カラーイメージセンサ、モノクロイメージセンサのずれであってもよい。また、画素配列は格子状に限定されず、

たとえばハニカム構造などの配列であっても良い。

制御部 9 は、たとえばアドレス線 A…を 1 本おきに飛び越し走査するとしても良い。そうした場合、フレームレートを高めてデータ量を削減することができる。

- 5 その他の点については、本願発明の範囲内で種々の変更が可能である。たとえば、1 画素当たりのキャパシタ C やトランスファトランジスタ T R t の数は、それぞれ 3 以上としても良い。

- 10 また、本願発明は、上記の各実施形態に限定されるものではない。エリアイメージセンサ 1 は、デジタルカメラに限らず、たとえばデジタルビデオカメラや撮影機能付きの携帯型電話機などにも適用することができ、さらには工業用の検査装置などにも広く適用できる。

請 求 の 範 囲

1. 撮像面に格子状に配列された複数の画素を備え、撮像光学系を介して当該撮像面に結像される被写体光像の光を各画素で電気信号に光電変換して出力するエリアイメージセンサであって、

5 各画素は、受光量に応じた電荷を蓄積することにより露光した光を電気信号に変換する光電変換素子と、露光終了後に上記光電変換素子から蓄積電荷を外部に出力させるための選択用トランジスタと、上記光電変換素子と上記選択用トランジスタとの間に設けられ、上記光電変換素子から露光により蓄積された電荷を一時的に保持するためのキャパシタと上記光電変換素子の蓄積電荷の当該キャパシタへの転送を制御するためのトランスファトランジスタとからなる1又は2以上の電荷保持回路と、上記選択用トランジスタと上記電荷保持回路との間に設けられ、露光開始前に上記キャパシタの残留電荷を放出するためのリセット用トランジスタとからなり、

15 上記撮像面内の画像読取領域の所定点を通る横方向の座標軸上に位置する各点に対応する上記画素から出力される光電変換信号のレベルを補正するための横方向補正係数と、

20 上記撮像面内の画像読取領域の所定点を通る縦方向の座標軸上に位置する各点に対応する上記画素から出力される光電変換信号のレベルを補正するための縦方向補正係数とを定める一方、

上記画像読取領域内の各画素から出力される光電変換信号に、各画素の横方向座標に対応する横方向補正係数と縦方向座標に対応する縦方向補正係数とを乗ずることにより、各画素の光電変換信号のレベルを補正するように構成したことを特徴とする、エリアイメージセンサ。

2. 撮像面に格子状に配列された複数の画素を備え、撮像光学系を介して当該撮像面に結像される被写体光像の光を各画素で電気信号

に光電変換して出力するエリアイメージセンサであって、

各画素は、

受光量に応じた電荷を蓄積することにより露光した光を電気信号に変換する光電変換素子と、

- 5 露光終了後に上記光電変換素子から蓄積電荷を外部に出力させるための選択用トランジスタと、

上記光電変換素子と上記選択用トランジスタとの間に設けられ、上記光電変換素子から露光により蓄積された電荷を一時的に保持するためのキャパシタと上記光電変換素子の蓄積電荷の当該キャパシ

- 10 タへの転送を制御するためのトランスファトランジスタとからなる1又は2以上の電荷保持回路と、

上記選択用トランジスタと上記電荷保持回路との間に設けられ、露光開始前に上記キャパシタの残留電荷を放出するためのリセット用トランジスタと、

- 15 からなることを特徴とするエリアイメージセンサ。

3. 上記電荷蓄積回路は、上記キャパシタの一方の電極が上記トランスファトランジスタの出力端に接続されるとともに、他方の電極が接地された構成をなし、上記トランスファトランジスタの入力端
- 20 が上記光電変換素子側に接続され、上記キャパシタの一方の電極が上記リセット用トランジスタ側に接続されることを特徴とする、請求項1又は2に記載のエリアイメージセンサ。

4. 各画素は、上記光電変換素子と上記選択用トランジスタとの間に
- 25 上記電荷保持回路が2個直列に接続されるとともに、上記光電変換素子の入力端に、露光開始前に当該光電変換素子の残留電荷を放出するための第2のリセット用トランジスタが接続されていることを特徴とする、請求項1又は2に記載のエリアイメージセンサ。

- 30 5. 列毎に、各列に配列された複数の画素から光電変換信号を出力

させるための複数の信号線が設けられるとともに、

行毎に、各行に配列された複数の画素の上記トランスファトランジスタ、上記リセット用トランジスタ及び上記選択用トランジスタをそれぞれオン／オフ制御するための複数の転送制御線、リセット線及びアドレス線が設けられ、

5 全リセット線と全転送制御線とにそれぞれリセット信号と転送信号とを同時に出力して全面素同時露光を開始させた後、所定の露光時間の経過時に全転送制御線に再度転送信号を出力して当該全面素同時露光を終了させ、その後垂直同期信号に同期して出力される複数の水平同期信号に同期して各行に対するアドレス線に順次、選択信号を出力して行毎に、各行に配列された複数の画素から上記全面素同時露光による光電変換信号が同時に出力されることを特徴とする、請求項 1 又は 2 に記載のエリアイメージセンサ。

15 6. 列毎に、各列に配列された複数の画素から光電変換信号を出力させるための複数の信号線が設けられるとともに、

行毎に、各行に配列された複数の画素の上記トランスファトランジスタ、上記リセット用トランジスタ及び上記選択用トランジスタをそれぞれオン／オフ制御するための複数の転送制御、リセット線及びアドレス線が設けられ、

20 垂直同期信号に同期して全リセット線と全転送制御線とにそれぞれリセット信号と転送信号とを同時に出力することにより当該垂直同期信号の周期に相当する時間の全面素同時露光が繰り返されるとともに、各露光期間中に垂直同期信号に同期して出力される複数の水平同期信号に同期して各行に対するアドレス線に順次、選択信号を出力して行毎に、各行に配列された複数の画素から 1 つ前の露光期間の上記全面素同時露光による光電変換信号が同時に出力されることを特徴とする、請求項 1 又は 2 に記載のエリアイメージセンサ。

7. 撮像面に格子状に配列された複数の画素を備え、撮像光学系を介して当該撮像面に結像される被写体光像の光を各画素で電気信号に光電変換して出力するエリアイメージセンサであって、

5 上記撮像面内の画像読取領域の所定点を通る横方向の座標軸上に位置する各点に対応する上記画素から出力される光電変換信号のレベルを補正するための横方向補正係数と、

上記撮像面内の画像読取領域の所定点を通る縦方向の座標軸上に位置する各点に対応する上記画素から出力される光電変換信号のレベルを補正するための縦方向補正係数とを定める一方、

10 上記画像読取領域内の各画素から出力される光電変換信号に、各画素の横方向座標に対応する横方向補正係数と縦方向座標に対応する縦方向補正係数とを乗ずることにより、各画素の光電変換信号のレベルを補正するように構成したことを特徴とする、エリアイメージセンサ。

15

8. 上記画像読取領域の所定点は、上記撮像光学系からの基準受光量が最大となる画素が位置する点である、請求項1又は7に記載のエリアイメージセンサ。

20 9. 上記横方向補正係数は、上記所定点を通る横方向の座標軸上に配列されている各画素の基準受光量の、上記所定点に位置する画素の基準受光量に対する比の逆数に基づいて定められており、

上記縦方向補正係数は、上記所定点を通る縦方向の座標軸上に配列されている各画素の基準受光量の、上記所定点に位置する画素の
25 基準受光量に対する比の逆数に基づいて定められている、請求項1又は7に記載のエリアイメージセンサ。

10. 列毎に設けられ、各列に配列された複数の画素から出力されるアナログの光電変換信号のレベルを所定の基準レベルと比較して
30 デジタル信号に変換する複数のA/D変換手段と、

行単位で各行に配列された複数の画素から光電変換信号が出力されるとき、上記縦方向補正係数に関連した値に応じて、行毎に異なる基準レベルを上記 A/D 変換手段に対して設定する第 1 の基準レベル設定手段と、

- 5 上記横方向補正係数に関連した値に応じて、異なる基準レベルを上記 A/D 変換手段毎に設定する第 2 の基準レベル設定手段とを備える、請求項 1 又は 7 に記載のエリアイメージセンサ。

1 1. 上記横方向設定手段は、上記基準電圧を抵抗によって分圧することにより、上記 A/D 変換手段毎に異なる基準レベルを設定する、

- 10 請求項 10 に記載のエリアイメージセンサ。

1 2. 列毎に設けられ、各列に配列された複数の画素から出力されるアナログの光電変換信号のレベルを所定の基準レベルと比較してデジタル信号に変換する複数の A/D 変換手段と、

- 15 行単位で各行に配列された複数の画素からアナログ信号が出力されるとき、上記縦方向補正係数に関連した値に応じて、行毎に異なる基準レベルを上記 A/D 変換手段に対して設定する第 1 の基準レベル設定手段と、

- 20 上記各 A/D 変換手段の出力を所定のカウンtr範囲を基準としてカウンtrし、上記横方向補正係数に関連した値に応じて、異なるカウンtr範囲を上記 A/D 変換手段毎に設定する第 2 の基準レベル設定手段とを備える、請求項 1 又は 7 に記載のエリアイメージセンサ。

1 3. 上記画像読取領域の所定点を通る横方向の座標軸上に位置する各点に対応する横方向補正係数を予め記憶する横方向補正係数記憶

- 25 手段と、

上記画像読取領域の所定点を通る縦方向の座標軸上に位置する各点に対応する縦方向補正係数を予め記憶する縦方向補正係数記憶手段と、

上記画像読取領域内の各画素から出力される光電変換信号に、上記横方向補正係数記憶手段に記憶された当該画素の横方向座標に対応する横方向補正係数と、上記縦方向補正係数記憶手段に記憶された当該画素の縦方向座標に対応する縦方向補正係数とを乗算する乗算手段とを備える、請求項 1 又は 7 に記載のエリアイメージセンサ。

14. 上記横方向補正係数記憶手段は、上記横方向補正係数を間引きして記憶するものであり、

上記縦方向補正係数記憶手段は、上記縦方向補正係数を間引きして記憶するものである、請求項 13 に記載のエリアイメージセンサ。

FIG.1

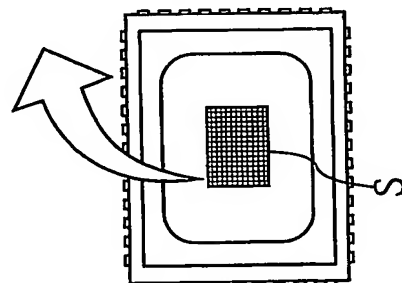
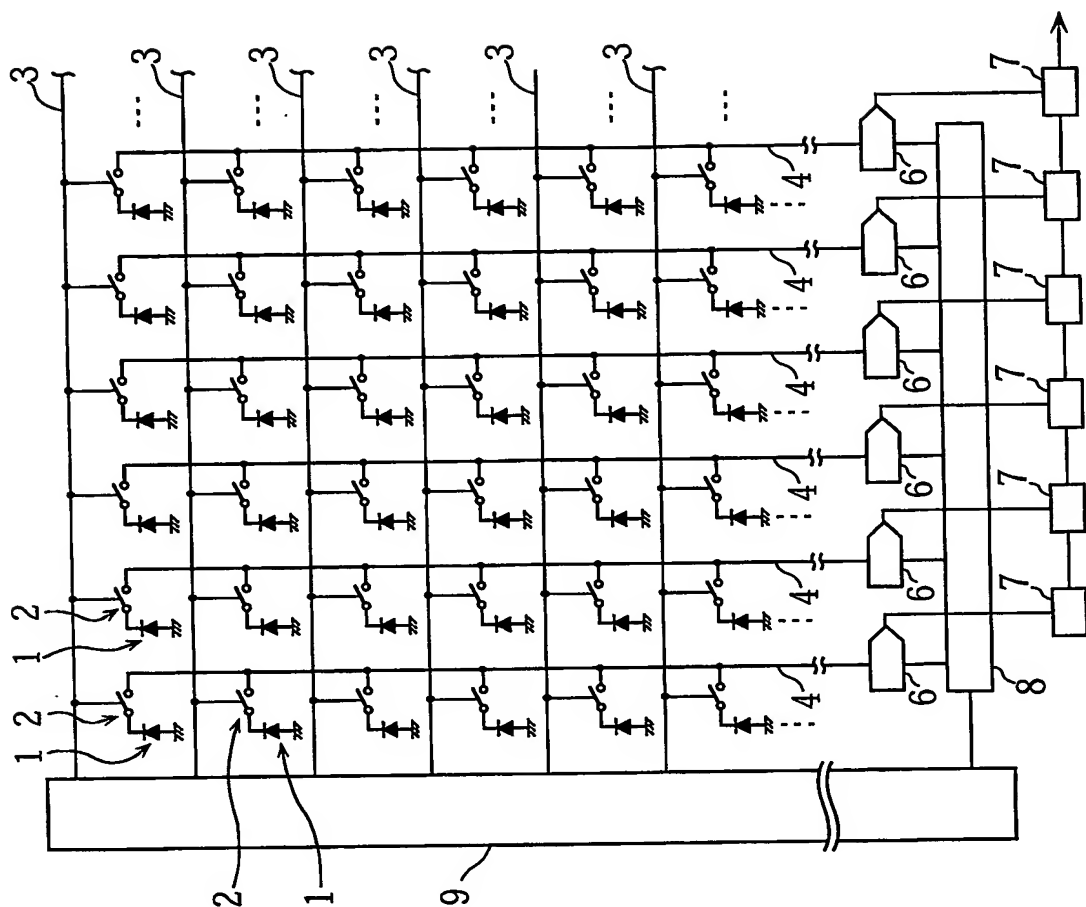


FIG.2

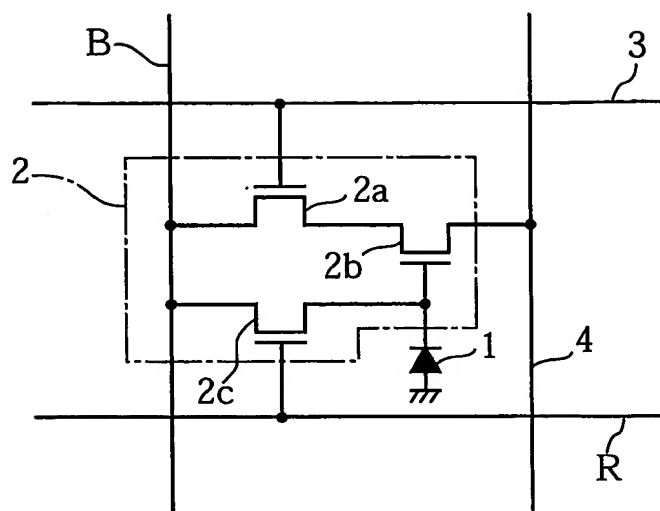


FIG.3

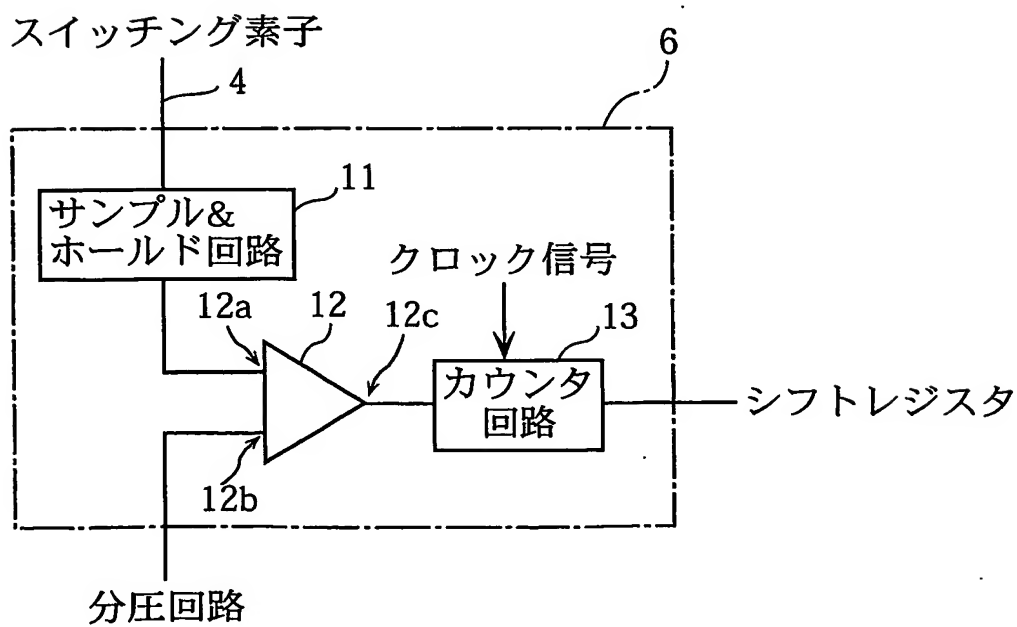


FIG.4

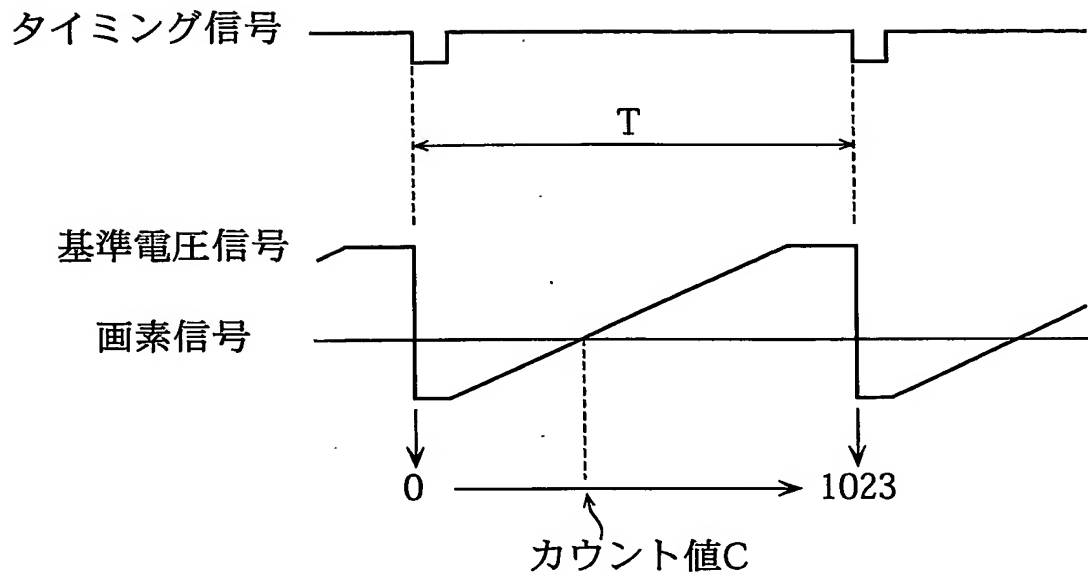


FIG.5

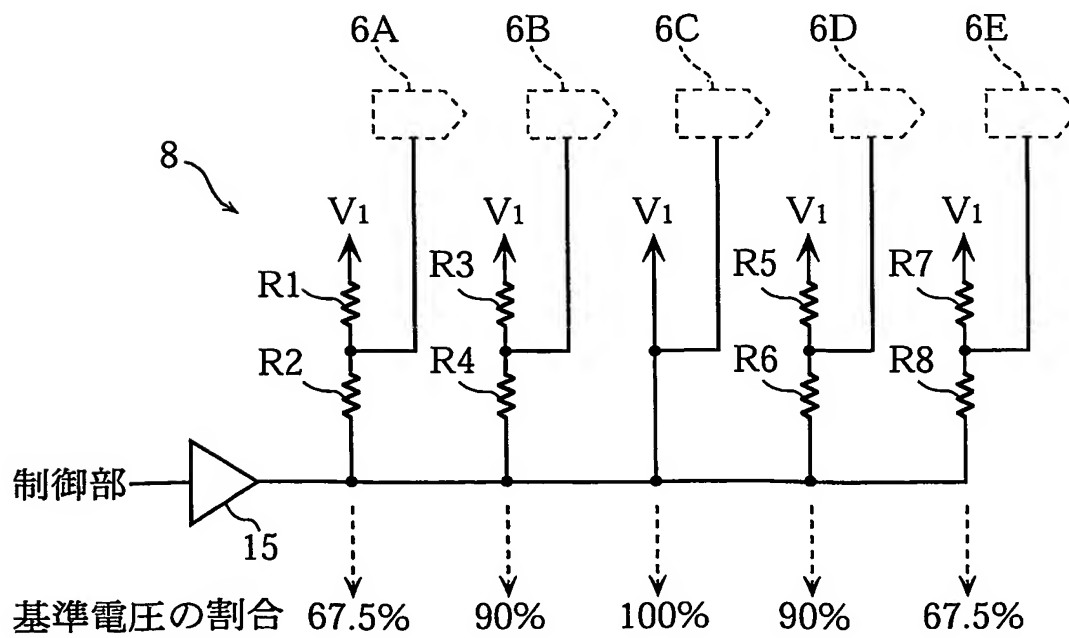


FIG.6

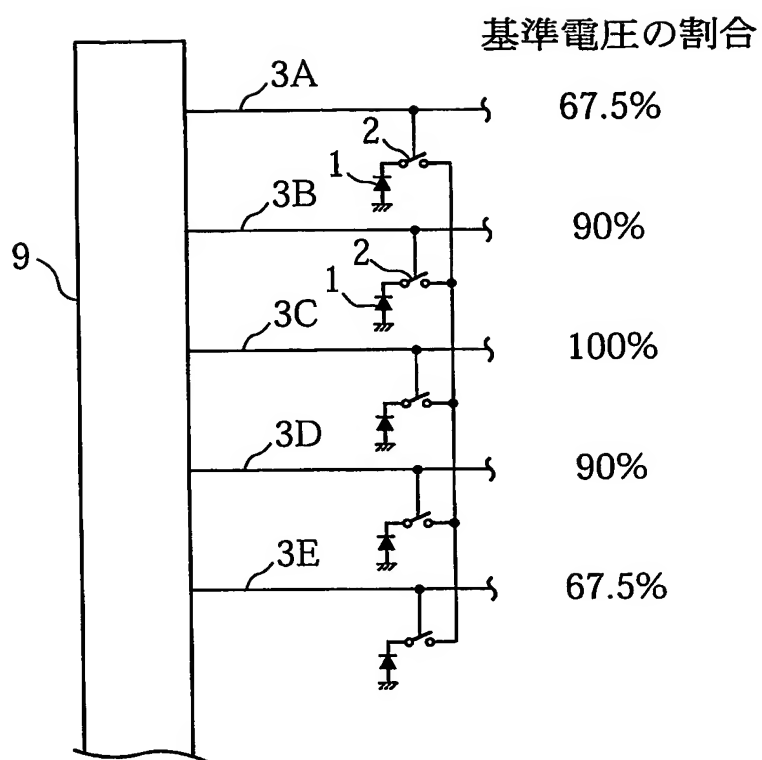


FIG.7

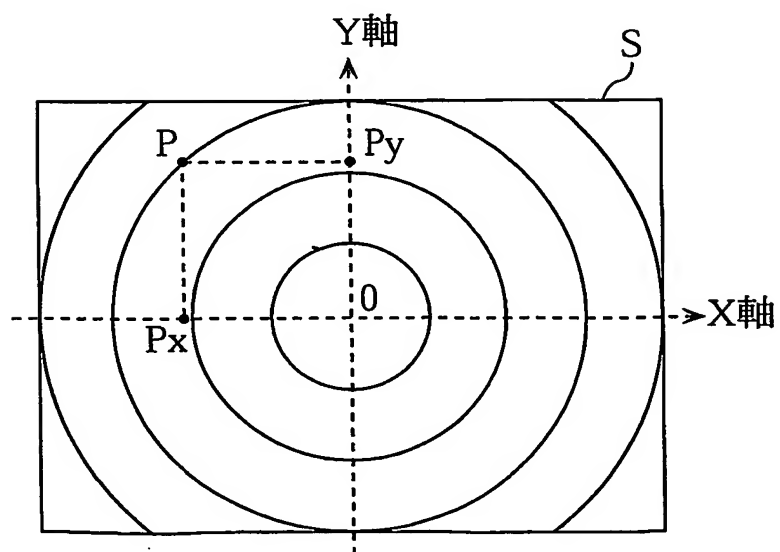


FIG.8

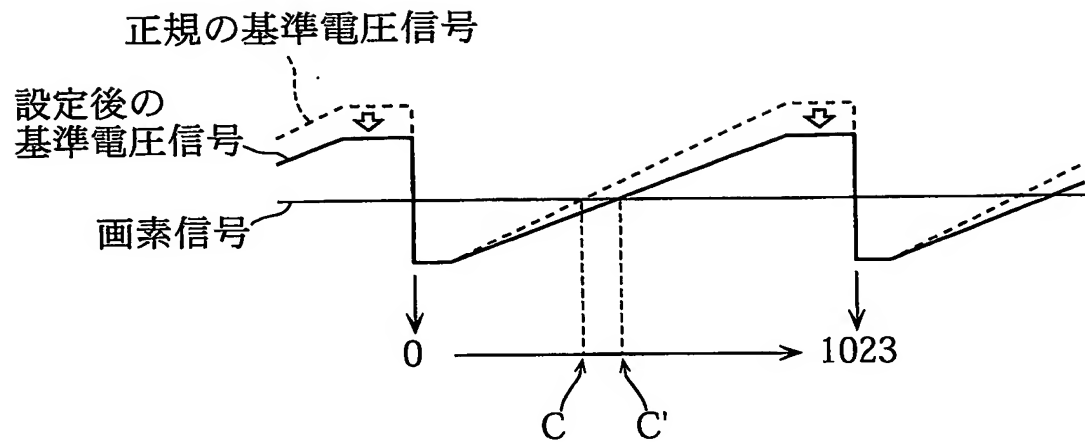


FIG.9

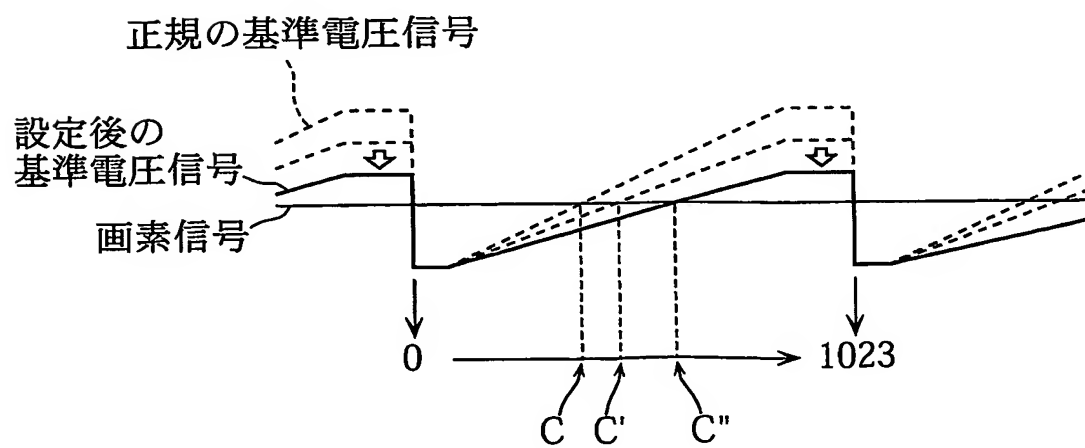


FIG.10

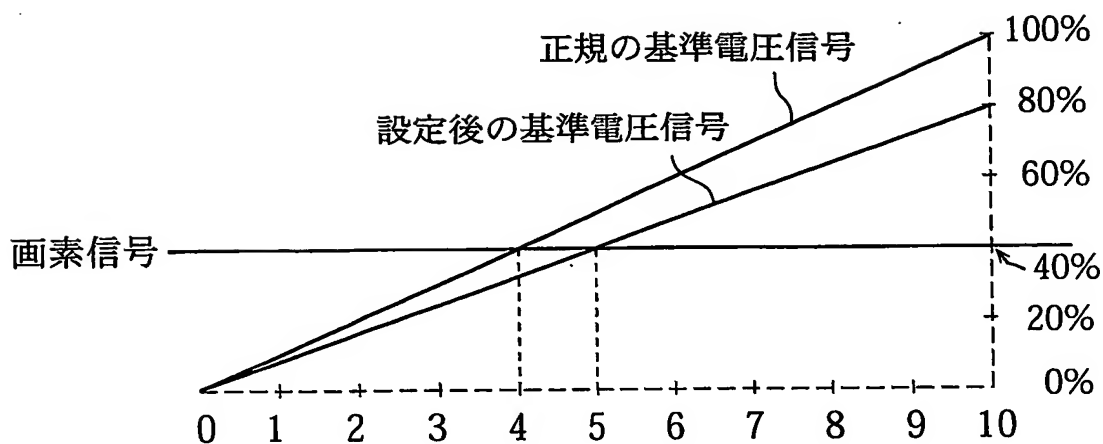


FIG.11

→ 横方向

↓ 縦方向

S

$\frac{100}{67.5} \times \frac{100}{67.5}$	$\frac{100}{67.5} \times \frac{100}{90}$	$\frac{100}{67.5} \times \frac{100}{100}$	$\frac{100}{67.5} \times \frac{100}{90}$	$\frac{100}{67.5} \times \frac{100}{67.5}$
$\frac{100}{90} \times \frac{100}{67.5}$	$\frac{100}{90} \times \frac{100}{90}$	$\frac{100}{90} \times \frac{100}{100}$	$\frac{100}{90} \times \frac{100}{90}$	$\frac{100}{90} \times \frac{100}{67.5}$
$\frac{100}{100} \times \frac{100}{67.5}$	$\frac{100}{100} \times \frac{100}{90}$	$\frac{100}{100} \times \frac{100}{100}$	$\frac{100}{100} \times \frac{100}{90}$	$\frac{100}{100} \times \frac{100}{67.5}$
$\frac{100}{90} \times \frac{100}{67.5}$	$\frac{100}{90} \times \frac{100}{90}$	$\frac{100}{90} \times \frac{100}{100}$	$\frac{100}{90} \times \frac{100}{90}$	$\frac{100}{90} \times \frac{100}{67.5}$
$\frac{100}{67.5} \times \frac{100}{67.5}$	$\frac{100}{67.5} \times \frac{100}{90}$	$\frac{100}{67.5} \times \frac{100}{100}$	$\frac{100}{67.5} \times \frac{100}{90}$	$\frac{100}{67.5} \times \frac{100}{67.5}$

FIG.12

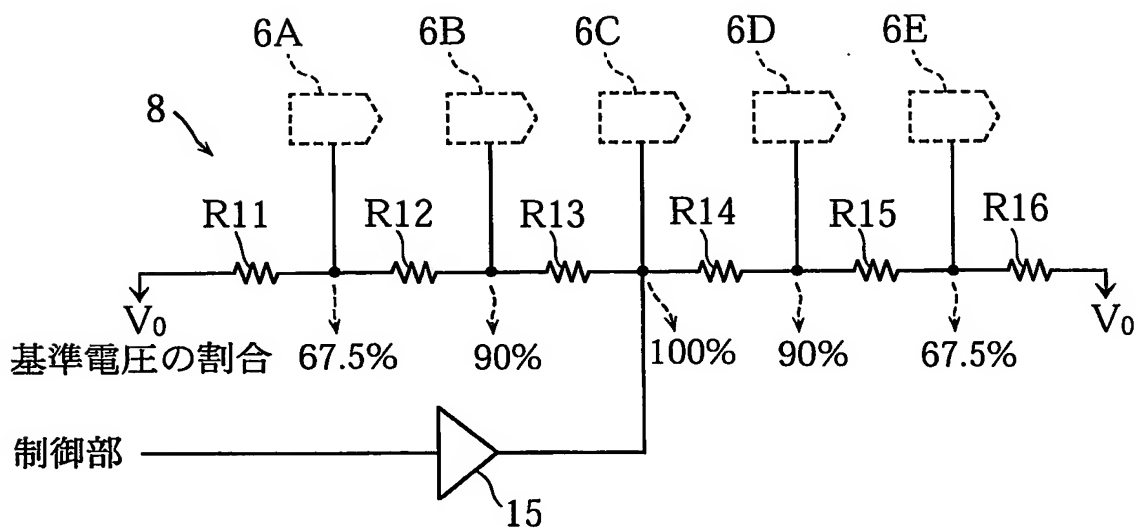


FIG.13

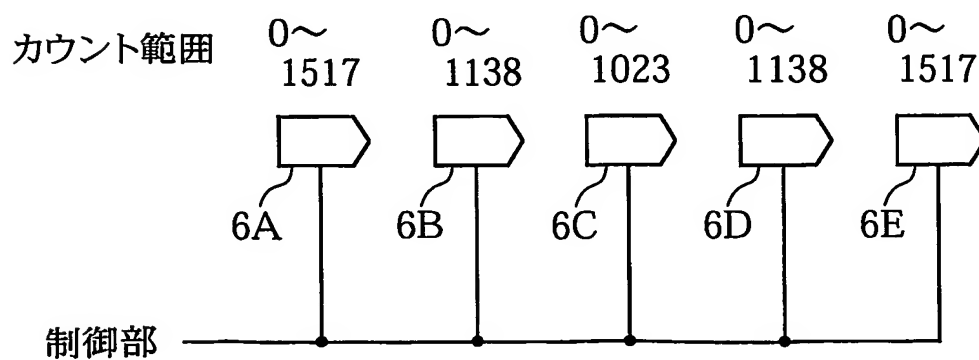


FIG.14

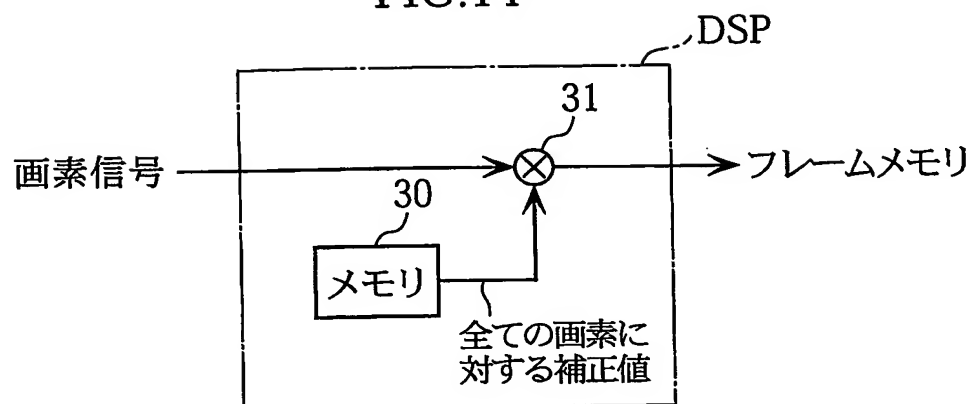


FIG.15

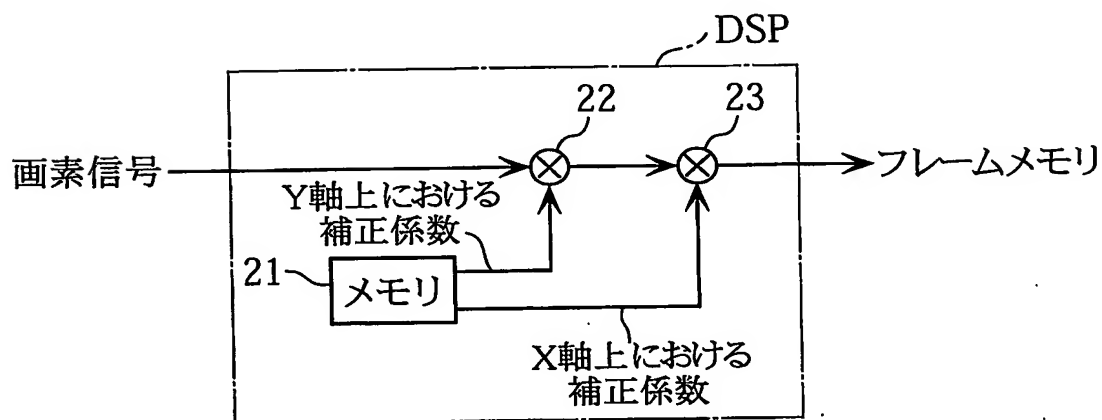


FIG.16

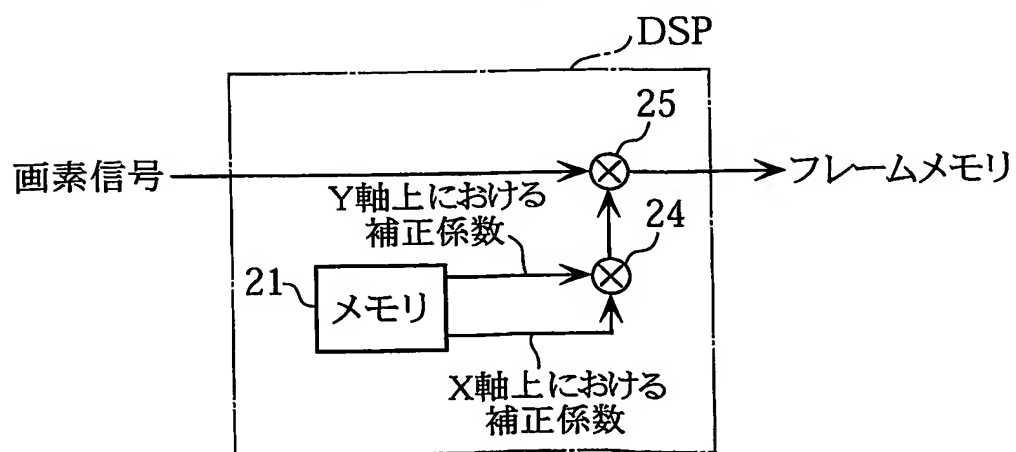


FIG. 18

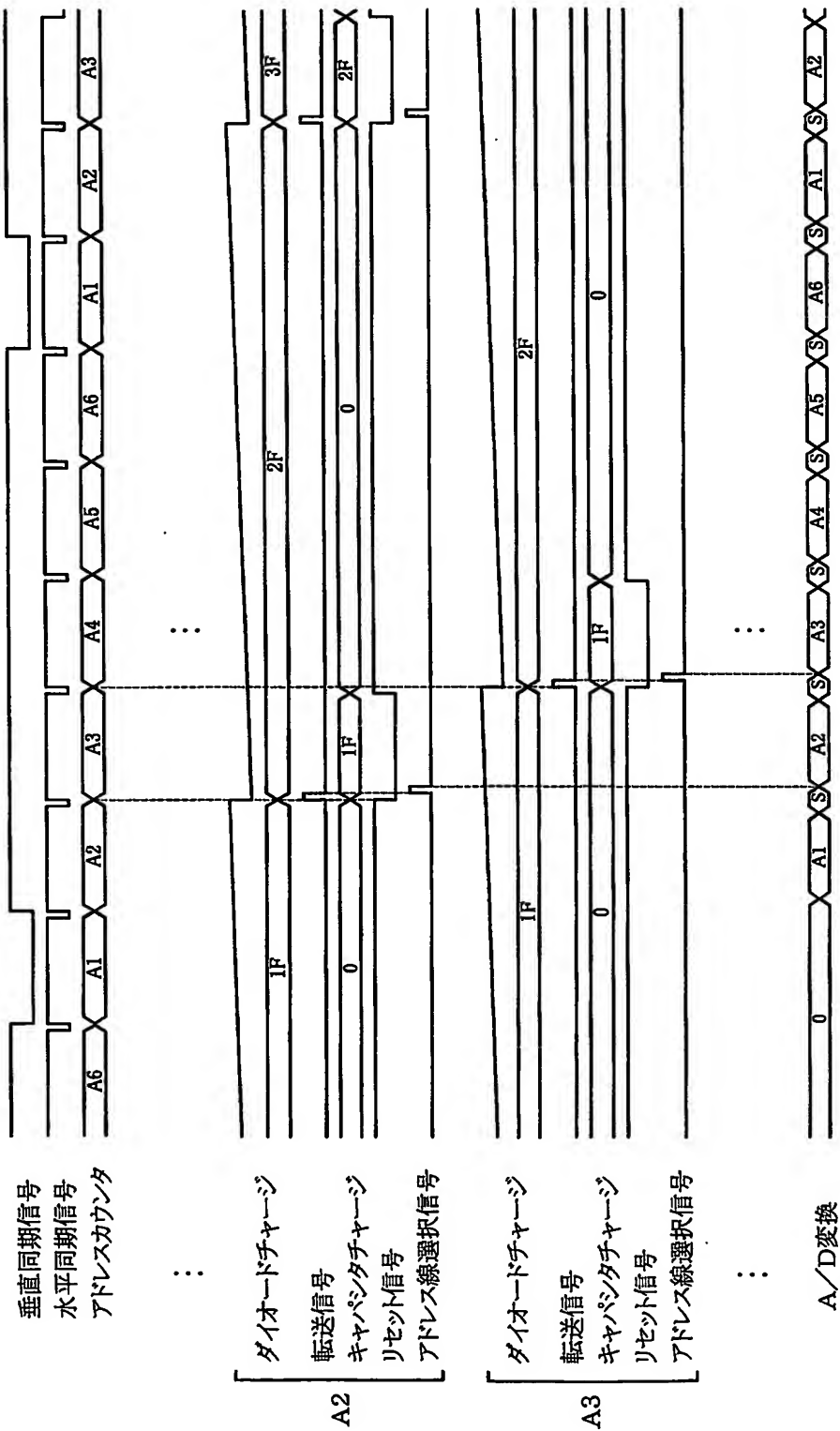


FIG. 19

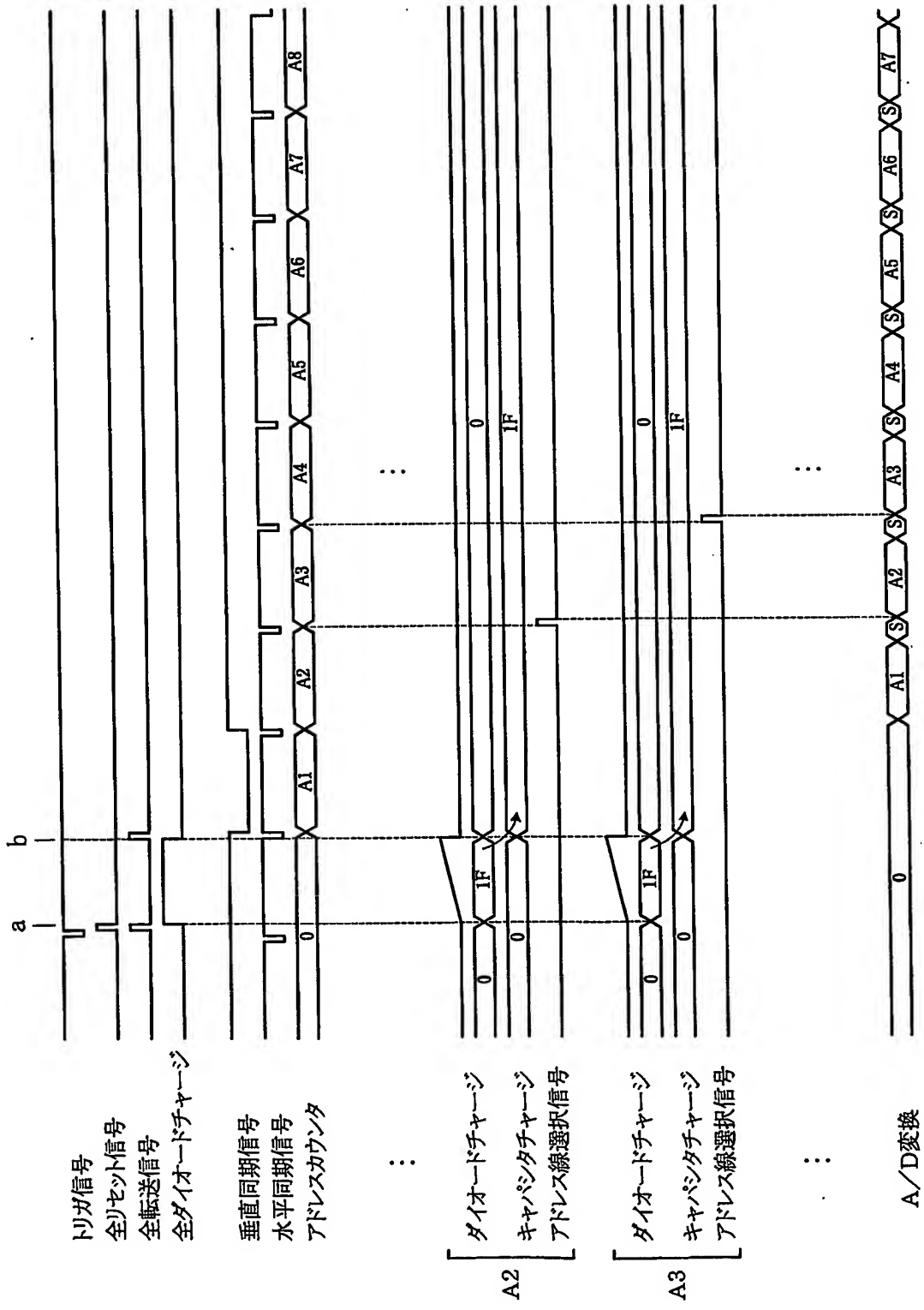


FIG. 20

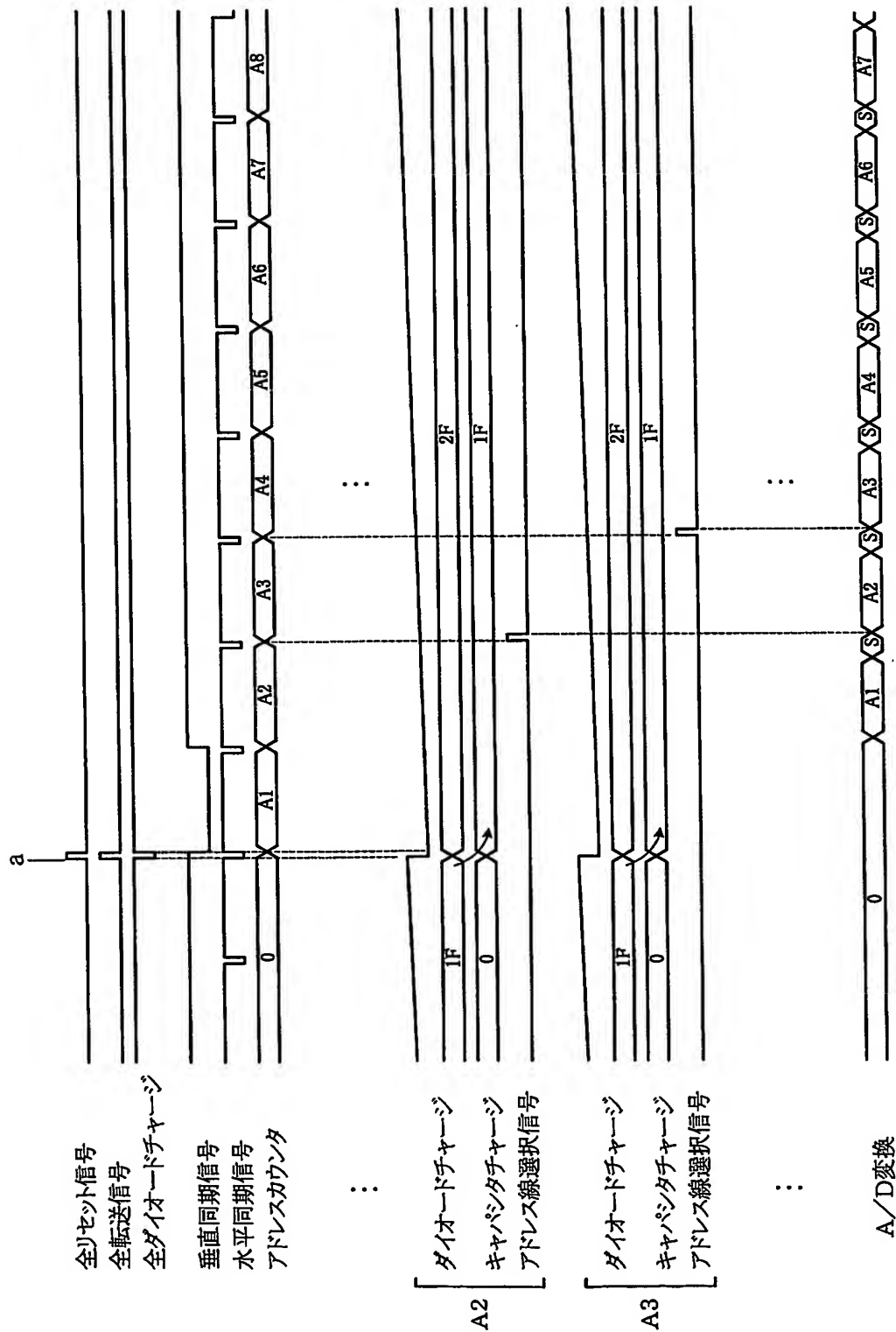


FIG. 21

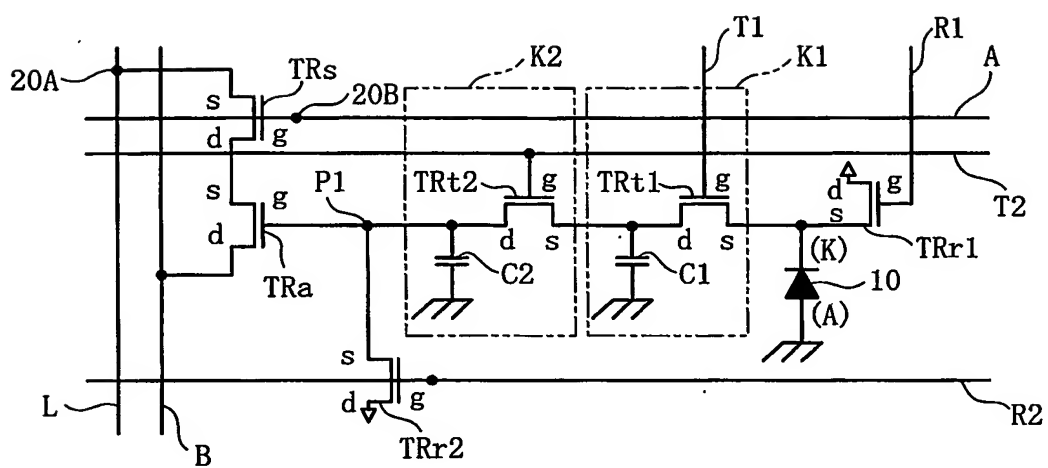


FIG. 22

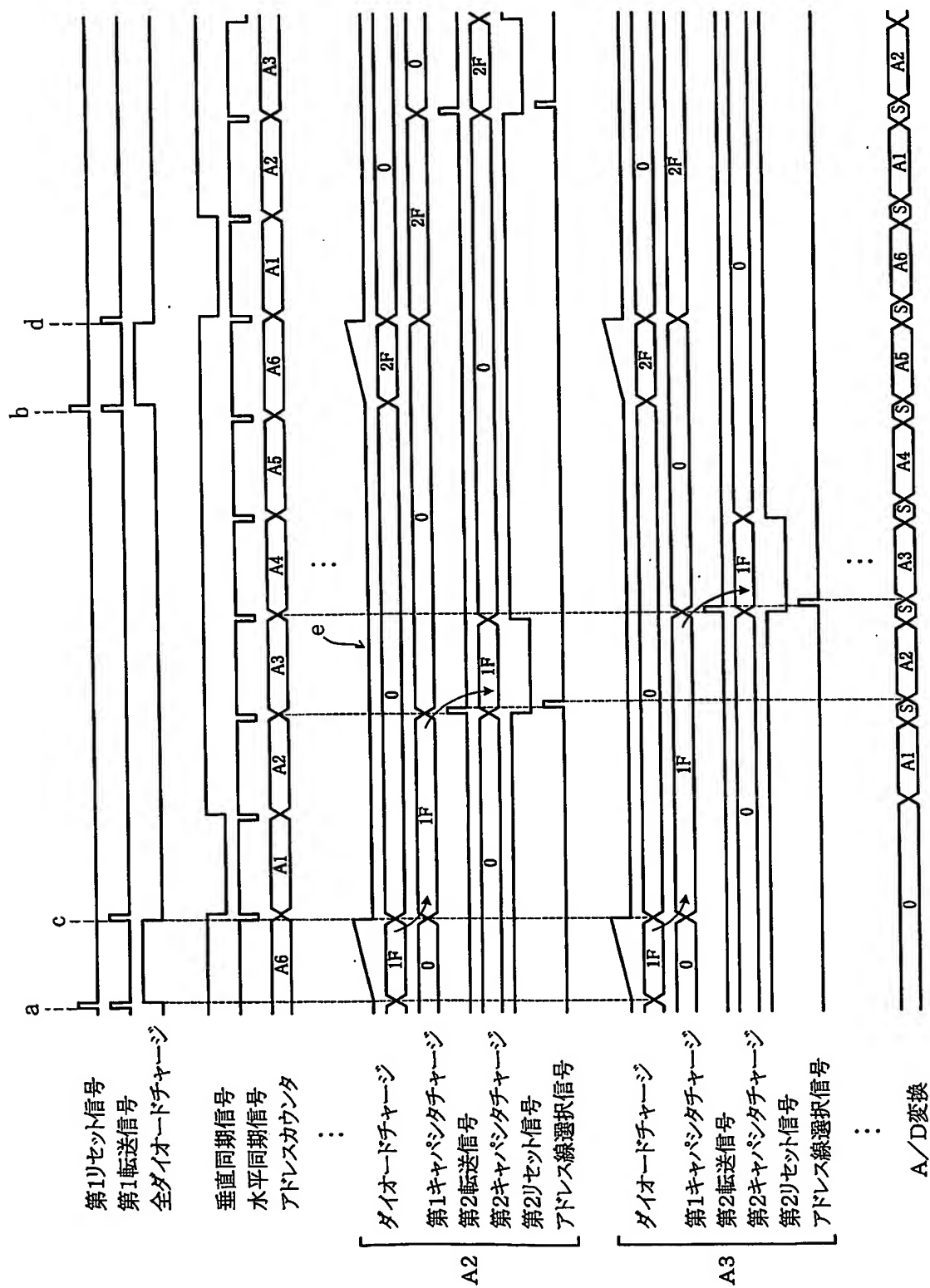


FIG.24

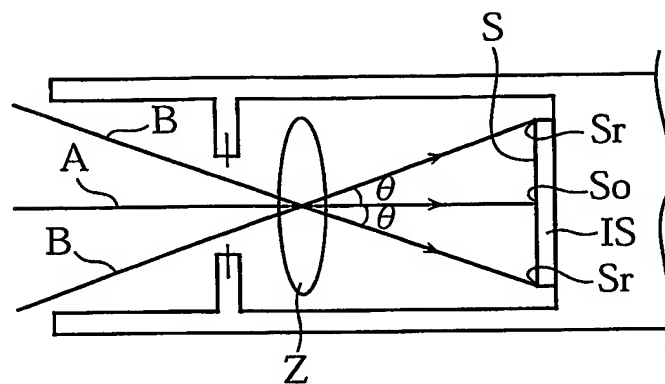


FIG.25

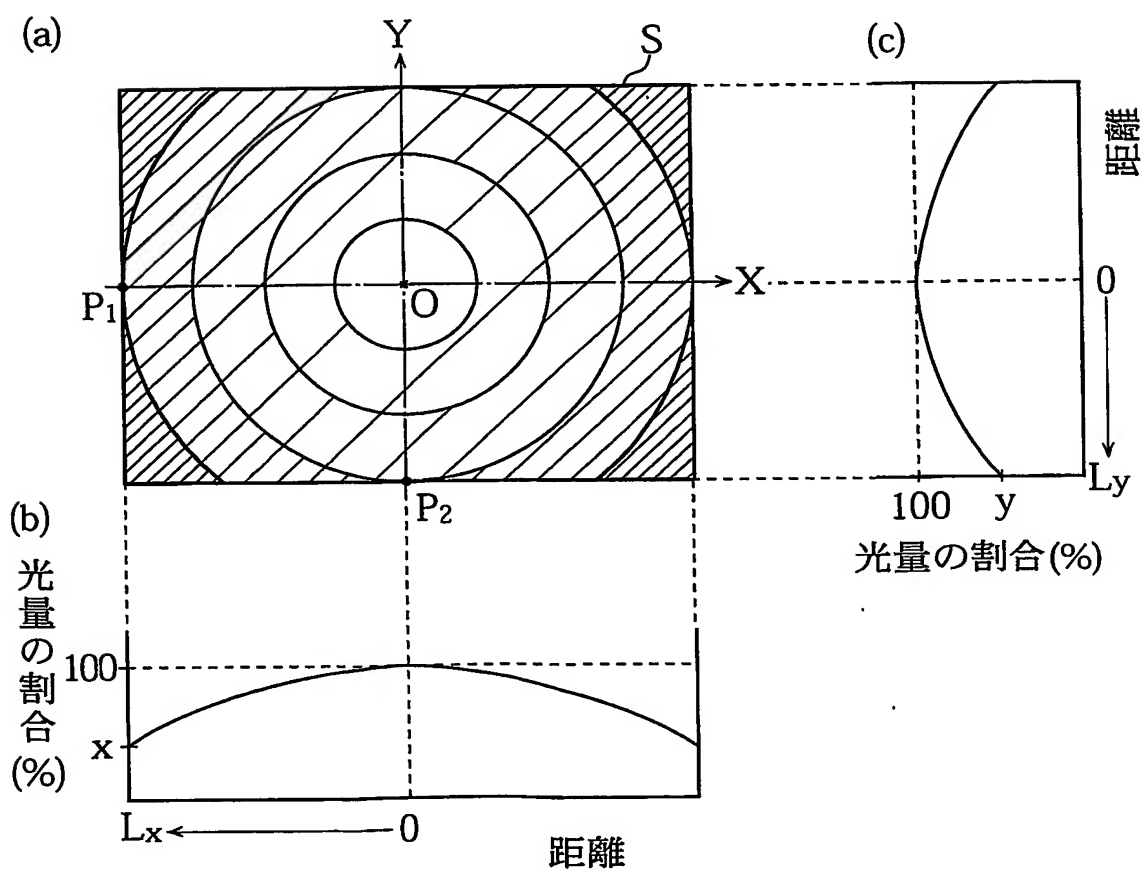


FIG.26

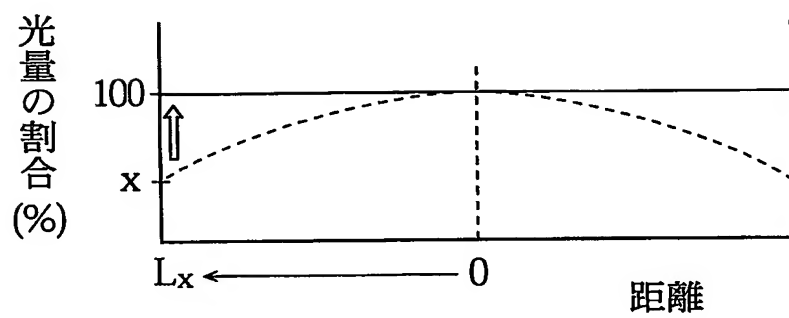
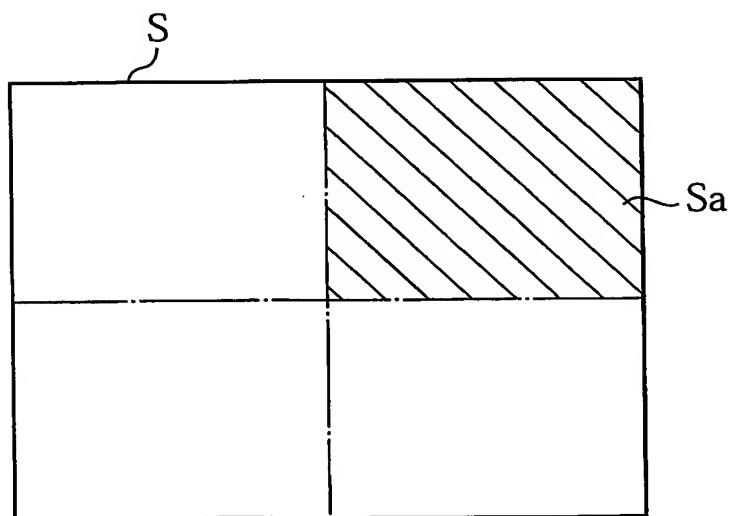


FIG.27



INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/14165

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N5/30-5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04N5/30-5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 9-247536 A (Toshiba Corp.), 19 September, 1997 (19.09.97), Full text; Figs. 1 to 6 (Family: none)	2, 3, 5 4
X Y A	JP 6-98080 A (Hitachi, Ltd.), 08 April, 1994 (08.04.94), Full text; Figs. 1 to 4 (Family: none)	2, 3 4 5
Y	JP 8-205034 A (Nissan Motor Co., Ltd.), 09 August, 1996 (09.08.96), Full text; Figs. 2, 4 (Family: none)	4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
10 February, 2004 (10.02.04)

Date of mailing of the international search report
24 February, 2004 (24.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/14165

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-152856 A (Fuji Xerox Co., Ltd.), 31 May, 1994 (31.05.94), Full text; Fig. 3 (Family: none)	2-5
A	JP 4-281681 A (Sony Corp.), 07 October, 1992 (07.10.92), Full text; Figs. 1 to 5 (Family: none)	2-5
X	JP 2000-69371 A (Sony Corp.),	7-9, 13
Y	03 March, 2000 (03.03.00),	14
A	Full text; Figs. 1 to 4 (Family: none)	10-12
X	JP 2001-16509 A (Canon Inc.),	7-9, 13
Y	19 January, 2001 (19.01.01),	14
A	Full text; Figs. 1 to 16 & EP 1067777 A2	10-12
Y	JP 2001-275029 A (Minolta Co., Ltd.), 05 October, 2001 (05.10.01), Full text; Figs. 1 to 15 & US 2002/8760 A1	14
Y	JP 54-80024 A (Ricoh Co., Ltd.), 26 June, 1979 (26.06.79), Full text; Figs. 1 to 3 (Family: none)	14
A	JP 2002-237998 A (Sony Corp.), 23 August, 2002 (23.08.02), Full text; Figs. 1 to 11 & WO 02/65760 A1	7-14
A	JP 6-205307 A (Canon Inc.), 22 July, 1994 (22.07.94), Full text; Figs. 1 to 14 & US 5872596 A	10-12
A	JP 2-60380 A (Fuji Electric Co., Ltd.), 28 February, 1990 (28.02.90), Full text; Figs. 1 to 5 (Family: none)	10-12
A	JP 5-48460 A (Matsushita Electric Industrial Co., Ltd.), 26 February, 1993 (26.02.93), Full text; Figs. 1 to 11 (Family: none)	10-12
A	JP 2001-346102 A (Canon Inc.), 14 December, 2001 (14.12.01), Full text; Figs. 1 to 24 (Family: none)	10-12

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/14165

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☒ Claims Nos.: 1, 6

because they relate to subject matter not required to be searched by this Authority, namely:

The definition of the invention of claim 1 is unclear as a whole because the specific constitution and operation are not supported by the description. The invention of claim 6 is shown in Figs. 17, 20 attached to the description. Even referring to the figures, (Continued to extra sheet.)

2. ☐ Claims Nos.:

because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:

because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 2-5 relate to an image sensor of address selection type wherein all the pixels are exposed at a time.

Claims 7-13 relate to an area image sensor wherein shading correction is conducted.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

Continuation of Box No. I-1 of continuation of first sheet (1)

the operation is unclear as a whole because the photoelectric conversion signal during the previous exposure time is reset by the reset for exposure start and hence the photoelectric conversion signal during each exposure time cannot be read out.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H04N 5/30-5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H04N 5/30-5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 9-247536 A (株式会社東芝) 1997. 09. 19, 全文, 第1-6図 (ファミリーなし)	2, 3, 5 4
X Y A	J P 6-98080 A (株式会社日立製作所) 1994. 04. 08, 全文, 第1-4図 (ファミリーなし)	2, 3 4 5
Y	J P 8-205034 A (日産自動車株式会社) 1996. 08. 09, 全文, 第2, 4図 (ファミリーなし)	4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 2004. 02. 10

国際調査報告の発送日 24. 2. 2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 5 P 9654
徳田 賢二
電話番号 03-3581-1101 内線 3502

C (続き). 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 6-152856 A (富士ゼロックス株式会社) 1994. 05. 31, 全文, 第3図 (ファミリーなし)	2-5
A	J P 4-281681 A (ソニー株式会社) 1992. 10. 07, 全文, 第1-5図 (ファミリーなし)	2-5
X Y A	J P 2000-69371 A (ソニー株式会社) 2000. 03. 03, 全文, 第1-4図 (ファミリーなし)	7-9, 13 14 10-12
X Y A	J P 2001-16509 A (キヤノン株式会社) 2001. 01. 19, 全文, 第1-16図 & EP 1067777 A2	7-9, 13 14 10-12
Y	J P 2001-275029 A (ミノルタ株式会社) 2001. 10. 05, 全文, 第1-15図 & US 2002/8760 A1	14
Y	J P 54-80024 A (株式会社リコー) 1979. 06. 26, 全文, 第1-3図 (ファミリーなし)	14
A	J P 2002-237998 A (ソニー株式会社) 2002. 08. 23, 全文, 第1-11図 & WO 02/65760 A1	7-14
A	J P 6-205307 A (キヤノン株式会社) 1994. 07. 22, 全文, 第1-14図 & US 5872596 A	10-12
A	J P 2-60380 A (富士電機株式会社) 1990. 02. 28, 全文, 第1-5図 (ファミリーなし)	10-12
A	J P 5-48460 A (松下電器産業株式会社) 1993. 02. 26, 全文, 第1-11図 (ファミリーなし)	10-12
A	J P 2001-346102 A (キヤノン株式会社) 2001. 12. 14, 全文, 第1-24図 (ファミリーなし)	10-12

第 I 欄 請求の範囲の一部の調査ができないときの意見 (第 1 ページの 2 の続き)

法第 8 条第 3 項 (PCT 17 条 (2) (a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☒ 請求の範囲 1, 6 は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
請求項 1 は、明細書において具体的な構成及び動作の説明が無く、発明が全体的に不明瞭である。
請求項 6 は、明細書において、図 17 及び図 20 に対応すると認められるが、露光開始を行う際のリセットにより 1 つ前の露光期間の光電変換信号もリセットされることから、各露光期間中に光電変換信号を読み出すことはできないと認められ、動作が全体的に不明瞭である。
2. ☐ 請求の範囲 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 は、従属請求の範囲であって PCT 規則 6.4 (a) の第 2 文及び第 3 文の規定に従って記載されていない。

第 II 欄 発明の単一性が欠如しているときの意見 (第 1 ページの 3 の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

請求の範囲 2 - 5 は、アドレス選択型のイメージセンサにおいて、全面素同時露光を行うものである。
請求の範囲 7 - 13 は、エリアイメージセンサにおいて、シェーディング補正を行うものである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.